



成都翌创微电子有限公司
Chengdu ET Microelectronics Co., Ltd.

ET6002

32 位 Arm[®] Cortex[®]-M7 微控制器 (MCU/DSP)

专注实时控制，铸造安全可靠中国芯

数据手册

文档版本 1.0.0

发布日期 2024-09-06

版权所有 © 成都翌创微电子有限公司 2024。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



和其他翌创微商标均为成都翌创微电子有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受成都翌创微电子有限公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，成都翌创微电子有限公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

成都翌创微电子有限公司

地址：四川省成都市高新区高朋大道 3 号东方希望大厦 9 楼 901 号

电话：028-83350520

网址：<https://www.etmcu.com>

邮箱：support@etmcu.com

目录

目录.....	2
1 芯片特性.....	5
2 芯片概述.....	8
2.1 功能描述.....	8
3 设备比较.....	10
4 引脚配置及功能.....	13
4.1 引脚图.....	13
4.2 引脚属性.....	17
4.3 信号描述.....	48
4.3.1 模拟信号.....	48
4.3.2 数字信号.....	55
4.3.3 电源和接地.....	68
4.3.4 时钟、JTAG 和复位.....	69
4.4 引脚复用.....	69
4.5 内部上拉和下拉的引脚.....	77
4.6 未使用管脚的处理方式.....	79
5 芯片规格.....	82
5.1 绝对最大额定值.....	82
5.2 ESD 等级.....	82
5.3 推荐工作条件.....	83
5.4 功耗概述.....	83
5.4.1 系统电流消耗 (外部电源).....	84
5.4.2 系统电流消耗 (内部电源).....	85
5.5 电气特性.....	85
5.6 热阻特性.....	87
5.7 芯片系统.....	88
5.7.1 电源管理单元 (PMU).....	88
5.7.1.1 内部低压差线性稳压器 (LDO).....	88
5.7.1.2 电源时序.....	89
5.7.1.3 上电复位.....	89
5.7.1.4 电压检测.....	89
5.7.2 复位.....	89
5.7.2.1 系统复位.....	89
5.7.2.2 电源复位.....	91
5.7.2.3 模块级软件复位.....	91
5.7.3 时钟.....	91
5.7.3.1 时钟源.....	91
5.7.3.2 High Speed Internal OSC (HSI).....	92

5.7.3.3 High Speed External OSC (HSE)	92
5.7.3.4 Phase-Locked Loop (PLL)	94
5.7.4 Flash 参数	95
5.7.5 仿真 (SWD)	96
5.7.6 GPIO 电气数据和时序	98
5.7.6.1 GPIO-输出时序	98
5.7.6.2 信号去抖时序	99
5.7.7 中断	99
5.7.8 低功耗模式	100
5.7.8.1 CPU 睡眠模式	100
5.7.8.2 关闭模拟模块电源	100
5.7.8.3 降低时钟频率	101
5.7.8.4 时钟门控	101
5.8 模拟外设	101
5.8.2 ADC	108
5.8.2.1 ADC 可配置性	109
5.8.2.2 信号模式	110
5.8.2.3 ADC 运行条件	110
5.8.2.4 ADC 特性	110
5.8.2.5 ADC 输入模型	112
5.8.2.6 ADC 时序图	113
5.8.3 温度传感器 (Tsensor)	114
5.8.3.1 温度传感器特征	114
5.8.4 缓冲数模转换器 (Buffered DAC)	114
5.8.4.1 缓冲 DAC 的电气特性	115
5.8.5 模拟比较器 (ACMP)	116
5.8.5.1 ACMP 电气特性	116
5.9 控制外设	118
5.9.1 增强型定时器 (ETIMER)	118
5.9.1.1 ETIMER 与周边模块的交互	119
5.9.1.2 ETIMER 通道内部特性	120
5.9.1.3 ETIMER 电气数据及时序	121
5.9.2 超高精度脉宽调制模块 (SRPWM)	122
5.9.2.1 SRPWM 模块与周边模块的交互	123
5.9.2.2 SRPWM 通道内部特性	124
5.9.2.3 SRPWM 模块的高精度脉宽调整	125
5.9.2.4 SRPWM 电气数据及时序	125
5.9.3 Σ - Δ 滤波器模块 (SDFM)	127
5.9.3.1 SDFM 电气数据和时序	128
5.9.4 正交编码器脉冲 (QEP)	129
5.9.4.1 QEP 电气数据及时序	129
5.10 通信外设	130
5.10.1 UART 接口	130
5.10.2 SPI Master 接口	131

5.10.3 SPI Slave 接口	134
5.10.4 I2C 接口	136
5.10.5 CAN FD 接口	137
6 芯片详细描述	139
6.1 概述	139
6.2 功能框图	139
6.3 内存	140
6.4 总线架构-外设互连	146
6.5 Cortex-M7 处理器	148
6.6 直接存储器访问 (DMA)	149
6.7 芯片启动模式	149
6.8 看门狗 (Watchdog)	151
6.9 加解密模块 (AES)	151
6.10 循环冗余校验模块 (CRC)	152
6.11 坐标旋转数字计算模块 (CORDIC)	152
6.12 滤波器数学加速器 (FMAC)	153
7 设备和文档支持	155
7.1 设备命名规则	155
7.2 设备外观标识	155
7.3 工具和软件	156
7.4 文档支持	156
8 封装和可订购信息	157
8.1 芯片封装信息	157
8.2 芯片包装信息	165
术语	166
修订记录	167

1 芯片特性

ET6002 是一款功能强大的高性能数模混合微控制器 (MCU/DSP)，支持特性如下：

- 处理器
 - 内置 32 位 ARM Cortex-M7 内核
 - 最高主频 300 MHz
 - 支持单精度浮点运算单元 (FPU)
 - 支持 DSP 指令 (乘加、移位)
 - 内存保护单元 (MPU) 支持多达 16 个内存区域 (Region) 的保护
 - 自带 8 KB 指令缓存 (ICACHE) 和 4 KB 数据缓存 (DCACHE)，支持 ECC 纠一检二保护功能
 - 自带 32 KB 指令内存 (ITCM) 和 32 KB 数据内存 (DTCM)，支持 ECC 纠一检二保护功能
 - 支持中断管理 (NVIC)
- 片内存储：640KB FLASH+96KB SRAM
 - 内置高达 512 KB 的程序 Flash (PFLASH) (可配置为 2 个 256 KB Bank，以支持 256 KB OTA 烧写)，支持 ECC 纠一检二保护功能
 - 内置 128 KB 数据 Flash (DFLASH)，支持 ECC 纠一检二保护功能
 - 内置 2KB OTP
 - 提供高达 96 KB 的片内 SRAM，支持 ECC 纠一检二保护功能
- 时钟，复位
 - 支持芯片上电复位 (Power-on Reset, POR)
 - 内置 25 MHz 出厂校准振荡器
 - 支持 25 MHz 外部晶振输入或单端时钟输入
 - 内置锁相环 (PLL) 时钟
 - 支持芯片欠压复位 (Brown-out Reset, BOR)
 - 支持时钟丢失检测电路
- 供电
 - 支持 3.3 V 单电源供电
 - 内置 LDO 模块
 - 内置温度传感器
 - 支持欠压、过温检测与保护
- 系统外设
 - 内置 2 个 8 通道直接存储器访问 (DMA) 控制器
 - 最多 84 个独立可编程多路复用 GPIO 管脚
 - 内置 2 路窗口化看门狗模块 (Watchdog)
 - 2 个 64-bit 超级定时器 (STIMER)
 - 1 个 64-bit 系统定时器 (SYS_CNT)
- 信息安全
 - 安全启动
 - JTAG 权限访问
 - 对接加解密算法 AES128、AES256
 - 存储安全保护

- 通用硬件加速器
 - 三角函数加速器 CORDIC, 24 比特精度定点运算
 - 硬件 CRC
 - 对称加解密 AES128、AES256
 - FMAC 滤波算法加速
- 通信接口
 - 2 个 CAN FD 接口
 - 2 个 UART 接口
 - 2 个 I2C 接口, 兼容 PMBus1.1
 - 3 个 SPI Master 接口
 - 1 个 SPI Slave 接口
- 模拟系统
 - 3 个 12-bit ADC
 - ✓ 最多 34 个外部通道
 - ✓ 采样速率最高可达 4 MSPS
 - ✓ 精度:
 - INL: -4~4LSB
 - DNL: -1~4LSB
 - ✓ 支持基于序列调度的顺序采样, 单次采样, 过采样, 序列 Pattern 可配置
 - ✓ 支持 Watchdog 功能
 - ✓ 支持输出结果的硬件 IIR、非滑动平均滤波、增益控制、Offset 控制处理
 - ✓ 支持 Blanking 控制
 - 2 路 12-bit Buffered DAC
 - ✓ 精度:
 - INL: ± 5 LSB
 - DNL: ± 2 LSB
 - ✓ 刷新速率: ≥ 1 MSPS
 - 4 对内置 12-bit DAC 的模拟窗口比较器 (ACMP)
 - ✓ 也可作为 8 路独立比较器使用
 - ✓ 支持 Blanking 控制
- ✓ 支持对输出信号滤波
- 温度传感器 (Tsensor)
- 增强型控制外设
 - 增强型定时器 (ETIMER)
 - ✓ 14 路 ETIMER, 每路同时支持 CAP 和 PWM 功能, 两个功能共一个时基计数器
 - ✓ 各路 PWM 可同步或独立运行
 - ✓ 14 路 PWM 功能可配置为互补 PWM 波, 支持死区保护
 - ✓ 各路支持封波保护
 - 超高精度脉宽调制模块 (SRPWM)
 - ✓ 12 通道, 24 路 PWM 输出, 每个通道可输出一对互补或独立的 PWM 发波信号
 - ✓ 其中 8 路 PWM 支持高精度调整, 分辨率为 156 ps
 - ✓ 互补 PWM 支持死区保护
 - ✓ 各发波通道间支持主从同步或独立运行
 - ✓ 各通道支持封波保护
 - 正交编码模块 (QEP)
 - ✓ 2 个 QEP 模块
 - ✓ 支持正交格式、方向脉冲计数格式、CW/CCW 格式输入
 - Σ - Δ 滤波器模块 (SDFM)
 - ✓ 8 个标准滤波 SDFM 模块
- IP 协同、端口灵活管理
 - XBAR 管理, 支持 CLU、Input XBAR、Output XBAR、SRPWM XBAR、ETIMER XBAR
- 调试接口
 - 2 线 SWD 调试接口
- 工作温度
 - 工作结温: $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$
- 封装
 - 144 引脚 LQFP 封装

- 128 引脚 LQFP 封装
- 100 引脚 LQFP 封装

- 80 引脚 LQFP 封装

2 芯片概述

2.1 功能描述

ET6002 是一款功能丰富的高性能数模混合微控制器 (MCU/DSP)，内部集成 1 个 32 位高性能 ARM Cortex-M7 内核，工作时钟频率最高可达 300 MHz；内置 96 KB 片内 SRAM、512 KB 嵌入式程序 Flash (PFLASH)、128 KB 嵌入式数据 Flash (DFLASH) 和 2KB 的用户 OTP。

ET6002 集成了丰富的高性能模拟模块，包括 3 个独立的 12-bit ADC (最多 34 路模拟采样通道，采样速率最高可达 4 MSPS)，2 路独立的 12-bit Buffered DAC，4 路模拟窗口比较器 (ACMP)，也可以作为 8 路独立比较器使用。

ET6002 还集成了超高精度 PWM 模块 (SRPWM)，32-bit 增强型定时器 (ETIMER)，正交编码模块 (QEP)， Σ - Δ 滤波器模块 (SDFM)，64-bit 超级定时器 (STIMER)，硬件加速器 CORDIC、硬件 CRC、对称加解密 AES、FMAC 滤波算法加速模块，DMA 控制器以及 CAN FD、UART、I2C、SPI 等通信接口和外设资源。

ET6002 功能框图如下图所示。

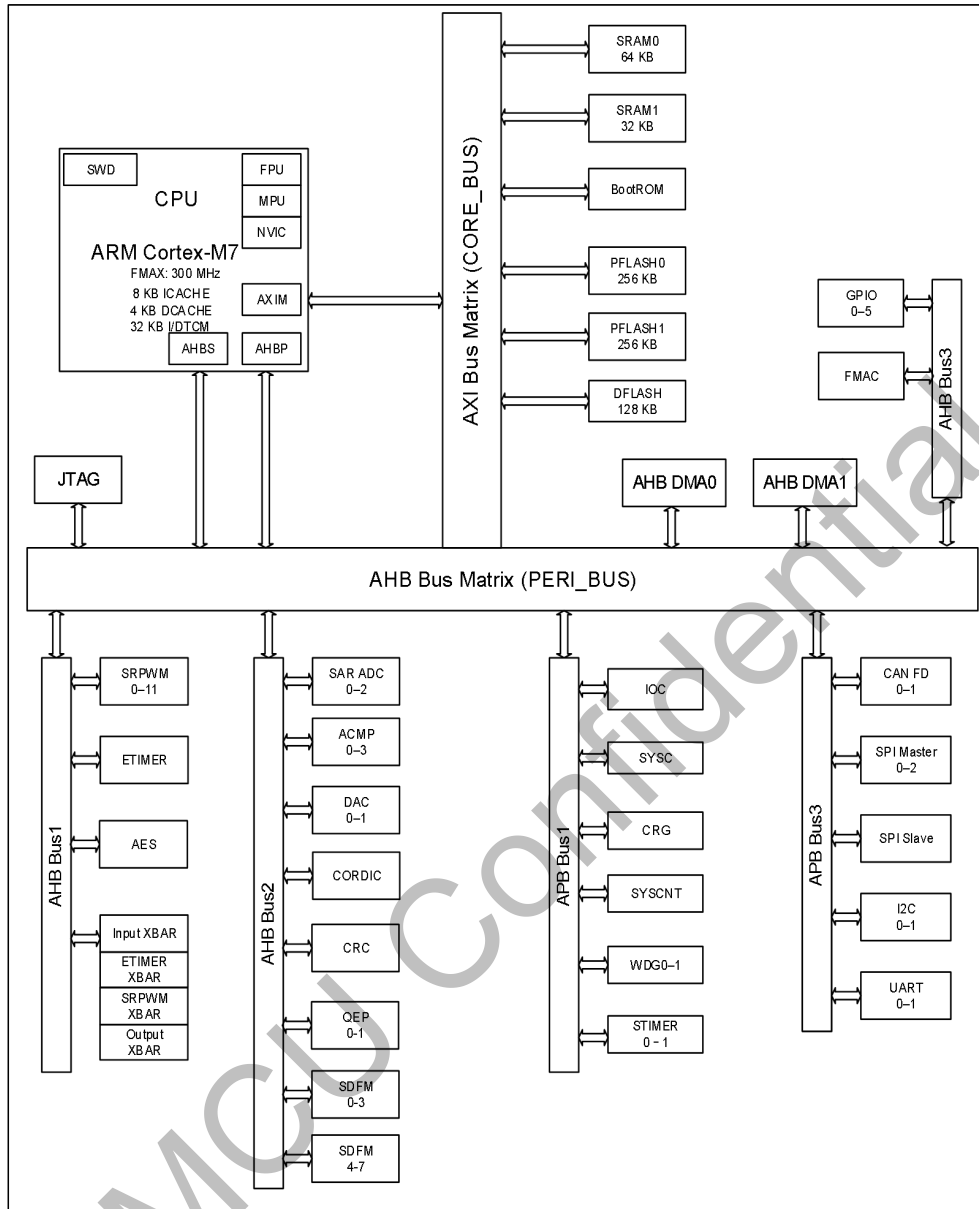


图 2-1 ET6002 芯片功能框图

说明

APB Bus2 用于 FLASH 和 SRAM 控制器等配置使用，上图未体现。

3

设备比较

特性		ETM7F60020PZ2I	ETM7F60020PY2I	ETM7F60020PV2I	ETM7F60020PE2I
处理器和加速器					
Cortex-M7 (CM7)	核数	1			
	频率 (MHz)	300			
	单精度 FPU	支持			
	DSP 扩展	支持			
	MPU	16 Regions			
	ICACHE/DCACHE	8 KB/4 KB			
CORDIC		支持			
硬件 CRC		支持			
FMAC		支持			
片内存储					
CM7 ITCM		32 KB			
CM7 DTCM		32 KB			
片上 RAM		96 KB			
BootROM		支持			
片上程序 Flash (PFLASH)		256 KB*2			
片上数据 Flash (DFLASH)		128 KB			

特性		ETM7F60020PZ2I	ETM7F60020PY2I	ETM7F60020PV2I	ETM7F60020PE2I
控制外设					
SRPWM		24	24	20	18
ETIMER		14	12	7	8
QEP		2			
SDFM		8			
CAP		14	12	9	9
XBAR		支持			
模拟外设					
SAR ADC	ADC 数量	3			
	ADC 通道	34	27	23	20
Buffered DAC		2			
ACMP		4 窗口/8 独立			
温度传感器		1			
系统外设					
AHB DMA		8 channels*2			
Watchdog (WDG)		2			
STIMER		2			
SYSCNT		1			
GPIO 引脚		84	78	55	45
信息安全					
安全启动		支持			
JTAG 鉴权		支持			
AES 加解密		支持			
存储安全保护		支持			

特性	ETM7F60020PZ2I	ETM7F60020PY2I	ETM7F60020PV2I	ETM7F60020PE2I
通信外设				
CAN FD	2			
SPI Master	3			
SPI Slave	1			
UART	2			
I2C	2			
封装类型、温度				
封装类型	LQFP144	LQFP128	LQFP100	LQFP80
工作环境温度 (T _A)	-40 to 105°C			

4

引脚配置及功能

4.1 引脚图

图 4-1 展示了 F60020PZ2I 采用 LQFP144 封装的引脚分配, 图 4-2 展示了 F60020PY2I 采用 LQFP128 封装的引脚分配, 图 4-3 展示了 F60020PV2I 采用 LQFP100 封装的引脚分配, 图 4-4 展示了 F60020PY2I 采用 LQFP80 封装的引脚分配。

除 SWCLK 和 SWDIO 外, GPIO 引脚上仅显示 GPIO 功能, 完整的 GPIO 复用关系请参考 4.4 "引脚复用" 章节; AFE 引脚仅显示 SAR ADC 和 DAC 引脚功能, 完整的 AFE 引脚复用功能请参考 4.2 "引脚属性" 章节。

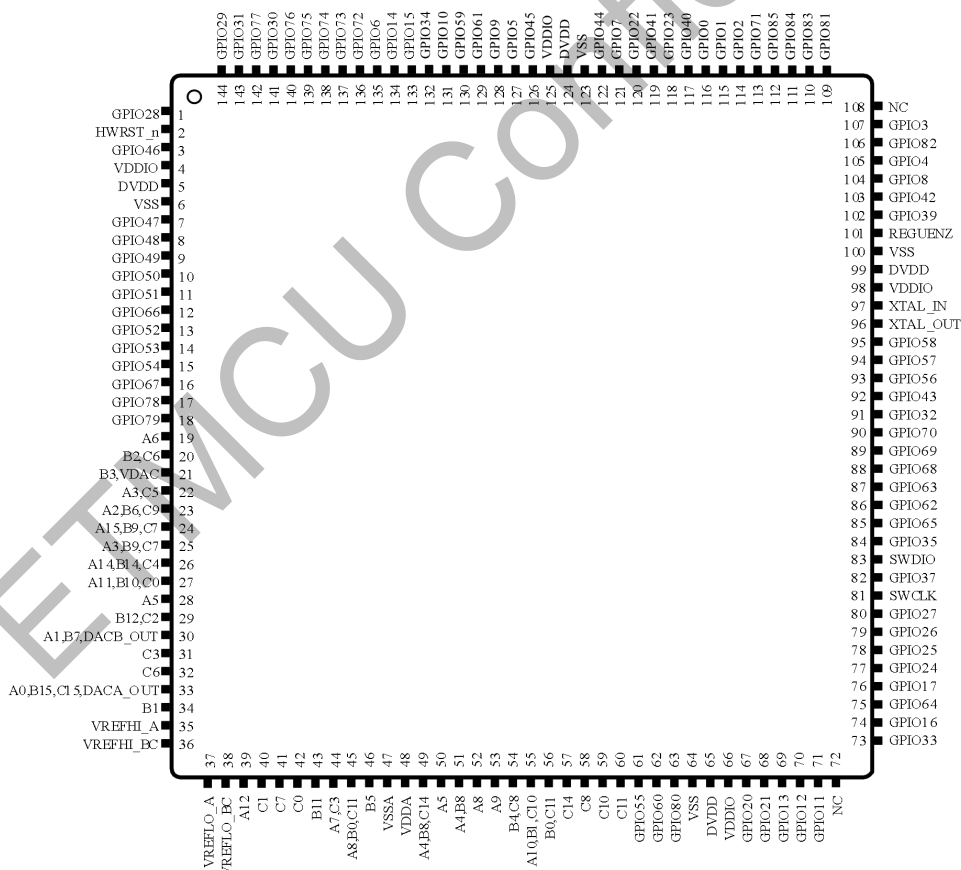


图 4-1 F60020PZ2I 采用 LQFP144 封装的引脚分配 (顶视图)

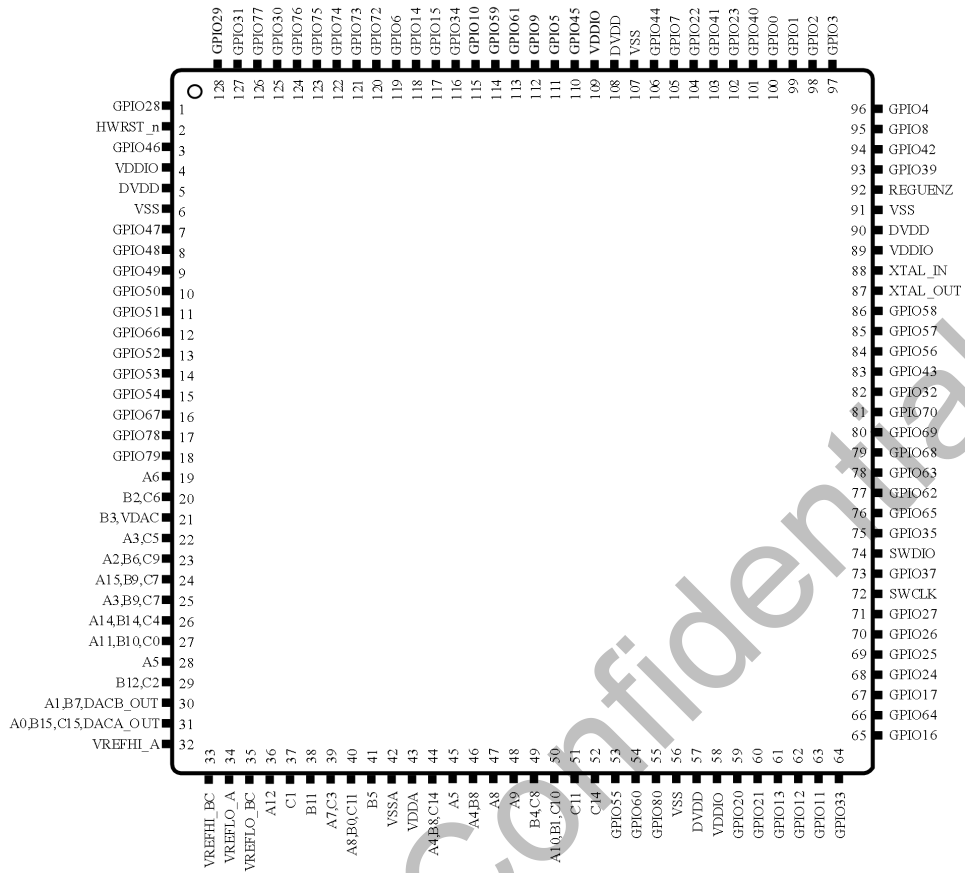


图 4-2 F60020PY2I 采用 LQFP128 封装的引脚分配 (顶视图)

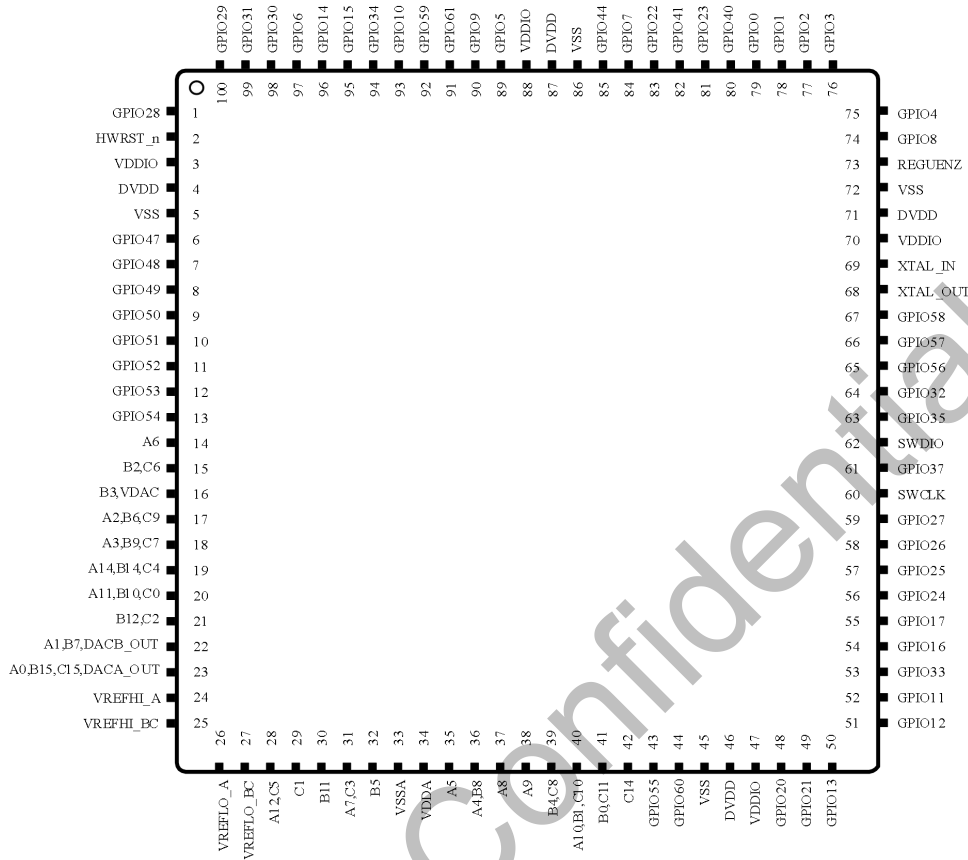


图 4-3 F60020PV2I 采用 LQFP100 封装的引脚分配 (顶视图)

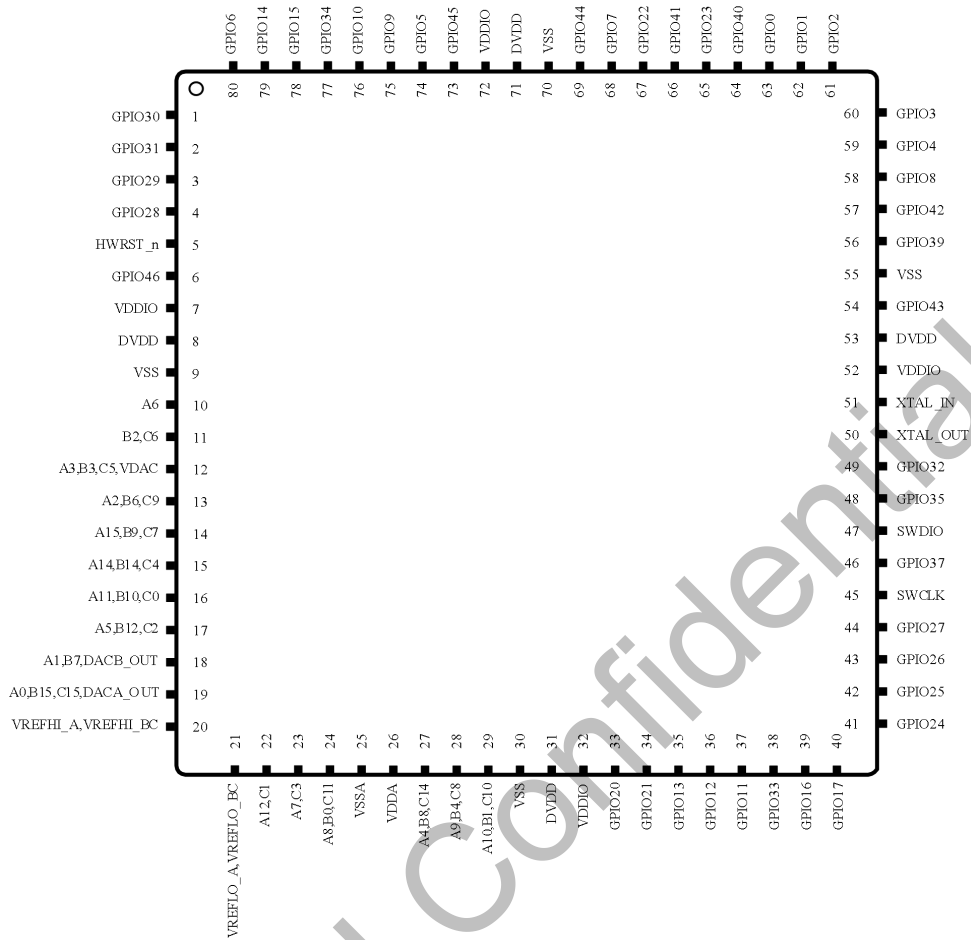


图 4-4 F60020PE2I 采用 LQFP80 封装的引脚分配 (顶视图)

4.2 引脚属性

表 4-1 ET6002 引脚属性

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
模拟						
19	23	31	33	SAR_A0	I	ADC-A 输入 0
				SAR_B15	I	ADC-B 输入 15
				SAR_C15	I	ADC-C 输入 15
				DACA_OUT	I	缓冲 DAC-A 输出
				CMP3_HP2	I	ACMP-3 高电平比较器正输入 2
				CMP3_LP2	I	ACMP-3 低电平比较器正输入 2
18	22	30	30	SAR_A1	I	ADC-A 输入 1
				SAR_B7	I	ADC-B 输入 7
				DACB_OUT	I	缓冲 DAC-B 输出
				CMP1_HP4	I	ACMP-1 高电平比较器正输入 4
				CMP1_LP4	I	ACMP-1 低电平比较器正输入 4
13	17	23	23	SAR_A2	I	ADC-A 输入 2
				SAR_B6	I	ADC-B 输入 6
				SAR_C9	I	ADC-C 输入 9
				CMP1_HP0	I	ACMP-1 高电平比较器正输入 0
				CMP1_LP0	I	ACMP-1 低电平比较器正输入 0
-	18	25	25	SAR_A3	I	ADC-A 输入 3
				SAR_B9	I	ADC-B 输入 9
				SAR_C7	I	ADC-C 输入 7

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				CMP3_HP5	I	ACMP-3 高电平比较器正输入 5
				CMP3_LP5	I	ACMP-3 低电平比较器正输入 5
-	36	46	51	SAR_A4	I	ADC-A 输入 4
				SAR_B8	I	ADC-B 输入 8
				CMP2_HP0	I	ACMP-2 高电平比较器正输入 0
				CMP2_LP0	I	ACMP-2 低电平比较器正输入 0
-	35	45	50	SAR_A5	I	ADC-A 输入 5
				CMP2_HP5	I	ACMP-2 高电平比较器正输入 5
				CMP2_LP5	I	ACMP-2 低电平比较器正输入 5
10	14	19	19	SAR_A6	I	ADC-A 输入 6
				CMP1_HP2	I	ACMP-1 高电平比较器正输入 2
				CMP1_LP2	I	ACMP-1 低电平比较器正输入 2
23	31	39	44	SAR_A7	I	ADC-A 输入 7
				SAR_C3	I	ADC-C 输入 3
				CMP4_HP1	I	ACMP-4 高电平比较器正输入 1
				CMP4_LP1	I	ACMP-4 低电平比较器正输入 1
				CMP4_HN1	I	ACMP-4 高电平比较器负输入 1
				CMP4_LN1	I	ACMP-4 低电平比较器负输入 1
-	37	47	52	SAR_A8	I	ADC-A 输入 8
				CMP4_HP4	I	ACMP-4 高电平比较器正输入 4
				CMP4_LP4	I	ACMP-4 低电平比较器正输入 4
28	38	48	53	SAR_A9	I	ADC-A 输入 9
				CMP2_HP2	I	ACMP-2 高电平比较器正输入 2
				CMP2_LP2	I	ACMP-2 低电平比较器正输入 2

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
29	40	50	55	SAR_A10	I	ADC-A 输入 10
				SAR_B1	I	ADC-B 输入 1
				SAR_C10	I	ADC-C 输入 10
				CMP2_HP3	I	ACMP-2 高电平比较器正输入 3
				CMP2_LP3	I	ACMP-2 低电平比较器正输入 3
				CMP2_HN0	I	ACMP-2 高电平比较器负输入 0
				CMP2_LN0	I	ACMP-2 低电平比较器负输入 0
16	20	27	27	SAR_A11	I	ADC-A 输入 11
				SAR_B10	I	ADC-B 输入 10
				SAR_C0	I	ADC-C 输入 0
				CMP1_HP1	I	ACMP-1 高电平比较器正输入 1
				CMP1_LP1	I	ACMP-1 低电平比较器正输入 1
				CMP1_HN1	I	ACMP-1 高电平比较器负输入 1
				CMP1_LN1	I	ACMP-1 低电平比较器负输入 1
-	41	51	56	SAR_B0	I	ADC-B 输入 0
				SAR_C11	I	ADC-C 输入 11
				CMP2_HP4	I	ACMP-2 高电平比较器正输入 4
				CMP2_LP4	I	ACMP-2 低电平比较器正输入 4
-	-	-	34	SAR_B1	I	ADC-B 输入 1
11	15	20	20	SAR_B2	I	ADC-B 输入 2
				SAR_C6	I	ADC-C 输入 6
				CMP3_HP0	I	ACMP-3 高电平比较器正输入 0
				CMP3_LP0	I	ACMP-3 低电平比较器正输入 0
12	16	21	21	SAR_B3	I	ADC-B 输入 3

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				VDAC	I	片上 DAC 的可选外部基准电压
				CMP3_HP3	I	ACMP-3 高电平比较器正输入 3
				CMP3_LP3	I	ACMP-3 低电平比较器正输入 3
				CMP3_HN0	I	ACMP-3 高电平比较器负输入 0
				CMP3_LN0	I	ACMP-3 低电平比较器负输入 0
28	39	49	54	SAR_B4	I	ADC-B 输入 4
				SAR_C8	I	ADC-C 输入 8
				CMP4_HP0	I	ACMP-4 高电平比较器正输入 0
				CMP4_LP0	I	ACMP-4 低电平比较器正输入 0
	32	41	46	SAR_B5	I	ADC-B 输入 5
				CMP1_HP5	I	ACMP-1 高电平比较器正输入 5
				CMP1_LP5	I	ACMP-1 低电平比较器正输入 5
12	-	22	22	SAR_A3	I	ADC-A 输入 3
				SAR_C5	I	ADC-C 输入 5
14	-	24	24	SAR_A15	I	ADC-A 输入 15
				SAR_B9	I	ADC-B 输入 9
				SAR_C7	I	ADC-C 输入 7
				CMP1_HP3	I	ACMP-1 高电平比较器正输入 3
				CMP1_LP3	I	ACMP-1 低电平比较器正输入 3
				CMP1_HN0	I	ACMP-1 高电平比较器负输入 0
				CMP1_LN0	I	ACMP-1 低电平比较器负输入 0
17	-	28	28	SAR_A5	I	ADC-A 输入 5
24	-	40	45	SAR_A8	I	ADC-A 输入 8
				SAR_B0	I	ADC-B 输入 0

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				SAR_C11	I	ADC-C 输入 11
				CMP2_HP4	I	ACMP-2 高电平比较器正输入 4
				CMP4_HP4	I	ACMP-4 高电平比较器正输入 4
				CMP2_LP4	I	ACMP-2 低电平比较器正输入 4
				CMP4_LP4	I	ACMP-4 低电平比较器正输入 4
27	-	44	49	SAR_A4	I	ADC-A 输入 4
				SAR_B8	I	ADC-B 输入 8
				SAR_C14	I	ADC-C 输入 14
				CMP2_HP0	I	ACMP-2 高电平比较器正输入 0
				CMP4_HP3	I	ACMP-4 高电平比较器正输入 3
				CMP2_LP0	I	ACMP-2 低电平比较器正输入 0
				CMP4_LP3	I	ACMP-4 低电平比较器正输入 3
				CMP4_HN0	I	ACMP-4 高电平比较器负输入 0
				CMP4_LN0	I	ACMP-4 低电平比较器负输入 0
-	30	38	43	SAR_B11	I	ADC-B 输入 11
				CMP4_HP5	I	ACMP-4 高电平比较器正输入 5
				CMP4_LP5	I	ACMP-4 低电平比较器正输入 5
-	-	-	42	SAR_C0	I	ADC-C 输入 0
22	29	37	40	SAR_C1	I	ADC-C 输入 1
				CMP4_HP2	I	ACMP-4 高电平比较器正输入 2
				CMP4_LP2	I	ACMP-4 低电平比较器正输入 2
17	21	29	29	SAR_B12	I	ADC-B 输入 12
				SAR_C2	I	ADC-C 输入 2
				CMP3_HP1	I	ACMP-3 高电平比较器正输入 1

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				CMP3_LP1	I	ACMP-3 低电平比较器正输入 1
				CMP3_HN1	I	ACMP-3 高电平比较器负输入 1
				CMP3_LN1	I	ACMP-3 低电平比较器负输入 1
-	-	-	31	SAR_C3	I	ADC-C 输入 3
15	19	26	26	SAR_A14	I	ADC-A 输入 14
				SAR_B14	I	ADC-B 输入 14
				SAR_C4	I	ADC-C 输入 4
				CMP3_HP4	I	ACMP-3 高电平比较器正输入 4
				CMP3_LP4	I	ACMP-3 低电平比较器正输入 4
22	28	36	39	SAR_A12	I	ADC-A 输入 12
				CMP2_HP1	I	ACMP-2 高电平比较器正输入 1
				CMP2_LP1	I	ACMP-2 低电平比较器正输入 1
				CMP2_HN1	I	ACMP-2 高电平比较器负输入 1
				CMP2_LN1	I	ACMP-2 低电平比较器负输入 1
-	-	-	32	SAR_C6	I	ADC-C 输入 6
-	-	-	41	SAR_C7	I	ADC-C 输入 7
-	-	-	58	SAR_C8	I	ADC-C 输入 8
	42	52	57	SAR_C14	I	ADC-C 输入 14
				CMP4_HP3	I	ACMP-4 高电平比较器正输入 3
				CMP4_LP3	I	ACMP-4 低电平比较器正输入 3
				CMP4_HN0	I	ACMP-4 高电平比较器负输入 0
				CMP4_LN0	I	ACMP-4 低电平比较器负输入 0
-	-	-	59	SAR_C10	I	ADC-C 输入 10
-	-	-	60	SAR_C11	I	ADC-C 输入 11

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
20	24	32	35	VREFHI_A	I	ADC-A 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置 VREFHI_A 和 VREFLO_A 引脚之间尽可能靠近器件的位置。
21	26	34	37	VREFLO_A	I	ADC-A 低基准电压
20	25	33	36	VREFHI_BC	I	ADC-B/C 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置 VREFHI_BC 和 VREFLO_BC 引脚之间尽可能靠近器件的位置。
21	27	35	38	VREFLO_BC	I	ADC-B/C 低基准电压
GPIO						
4	1	1	1	GPIO28	I/O	通用输入/输出 28
				UART0_RX	I	UART0 接收
				SRPWM6_A	O	SRPWM6A 输出
				UART1_TX	O	UART1 输出
				OUTXBAR4	O	输出 X-BAR 输出 4
				EQEP0_A	I	EQEP0 输入 A
				SDFM1_DATA3	I	SDFM1 通道 3 数据输入
				EQEP1_STROBE	I	EQEP1 选通
				SPIM1_CLK	O	SPIM1 时钟

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				I2C1_SDA	I/OD	I2C1 开漏双向数据
6	-	3	3	GPIO46	I/O	通用输入/输出 46
				UART1_RX	I	UART1 接收
				I2C1_CTL_n	I/OD	I2C1 控制信号-从器件输入/主器件输出（低有效）
				CANFD1_TX	O	CAN FD1 发送
				I2C0_SDA	I/OD	I2C0 开漏双向数据
				SDFM1_CLK4	I	SDFM1 通道 4 时钟输入
-	6	7	7	GPIO47	I/O	通用输入/输出 47
				CANFD1_RX	I	CAN FD1 接收
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
				SDFM1_DATA4	I	SDFM1 通道 4 数据输入
-	7	8	8	GPIO48	I/O	通用输入/输出 48
				OUTXBAR2	O	输出 X-BAR 输出 2
				CANFD0_TX	O	CAN FD0 发送
				UART0_TX	O	UART0 输出
				SDFM0_DATA1	I	SDFM0 通道 1 数据输入
				I2C0_SDA	I/OD	I2C0 开漏双向数据
-	8	9	9	GPIO49	I/O	通用输入/输出 49
				OUTXBAR3	O	输出 X-BAR 输出 3
				SPIS0_CLK	I	SPIS0 时钟
				CANFD0_RX	I	CAN FD0 接收
				SPIM0_CLK	O	SPIM0 时钟
				UART0_RX	I	UART0 接收
				SDFM0_CLK1	I	SDFM0 通道 1 时钟输入

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				SDFM1_DATA1	I	SDFM1 通道 1 数据输入
-	9	10	10	GPIO50	I/O	通用输入/输出 50
				EQEP0_A	I	EQEP0 输入 A
				UART0_RX	I	UART0 接收
				CANFD1_TX	O	CAN FD1 发送
				SPIM1_MOSI	O	SPIM1 主器件输出, 从器件输入
				SDFM0_DATA2	I	SDFM0 通道 2 数据输入
				I2C1_SDA	I/OD	I2C1 开漏双向数据
				SDFM1_DATA2	I	SDFM1 通道 2 数据输入
-	10	11	11	GPIO51	I/O	通用输入/输出 51
				EQEP0_B	I	EQEP0 输入 B
				UART0_TX	O	UART0 输出
				CANFD1_RX	I	CAN FD1 接收
				SPIM1_MISO	I	SPIM1_主器件输入, 从器件输出备份
				SDFM0_CLK2	I	SDFM0 通道 2 时钟输入
				I2C1_SCL	I/OD	I2C1 开漏双向时钟
				SDFM1_DATA3	I	SDFM1 通道 3 数据输入
-	-	12	12	GPIO66	I/O	通用输入/输出 66
				SPIM0_CS0_n	O	SPIM0 从器件片选 0 (低有效)
				OUTXBAR9	O	输出 X-BAR 输出 9
-	11	13	13	GPIO52	I/O	通用输入/输出 52
				EQEP0_STROBE	I	EQEP0 选通
				SPIM1_CLK	O	SPIM1 时钟
				SDFM0_DATA3	I	SDFM0 通道 3 数据输入

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				SYNCOUT	O	ETIMER 同步信号输出
				SDFM1_DATA4	I	SDFM1 通道 4 数据输入
				GPIO53	I/O	通用输入/输出 53
				EQEP0_INDEX	I	EQEP0 索引
				I2C1_CTL_n	I/OD	I2C1 控制信号-从器件输入/主器件输出（低有效）
-	12	14	14	SPIM1_MOSI	O	SPIM1 主器件输出，从器件输入
				SPIM1_CS0_n	O	SPIM1 从器件片选 0（低有效）
				SDFM0_CLK3	I	SDFM0 通道 3 时钟输入
				CANFD0_RX	I	CAN FD0 接收
				SDFM0_CLK1	I	SDFM0 通道 1 时钟输入
				GPIO54	I/O	通用输入/输出 54
				SPIM0_MOSI	O	SPIM0 主器件输出，从器件输入
				I2C1_ALERT_n	I/OD	I2C1 控制信号-从器件输入/主器件输出（低有效）
-	13	15	15	SPIM1_MISO	I	SPIM1_主器件输入，从器件输出备份
				EQEP1_A	I	EQEP1 输入 A
				OUTXBAR1	O	输出 X-BAR 输出 1
				SDFM0_DATA4	I	SDFM0 通道 4 数据输入
				SDFM0_CLK2	I	SDFM0 通道 2 时钟输入
				GPIO67	I/O	通用输入/输出 67
-	-	16	16	SPIM1_CS0_n	O	SPIM1 从器件片选 0（低有效）
				CANFD1_TX	O	CAN FD1 发送
				I2C1_CTL_n	I/OD	I2C1 控制信号-从器件输入/主器件输出（低有效）

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				OUTXBAR12	O	输出 X-BAR 输出 12
-	-	17	17	GPIO78	I/O	通用输入/输出 78
				SPIM1_CS1_n	O	SPIM1 从器件片选 1（低有效）
				CANFD1_RX	I	CAN FD1 接收
				I2C1_ALERT_n	I/OD	I2C1 控制信号-从器件输入/主器件输出（低有效）
				OUTXBAR10	O	输出 X-BAR 输出 10
-	-	18	18	GPIO79	I/O	通用输入/输出 79
				SPIM1_CS2_n	O	SPIM1 从器件片选 2（低有效）
				SPIM0_CS1_n	O	SPIM0 从器件片选 1（低有效）
				ETIMER10	O	通用定时器输出 10
				OUTXBAR11	O	输出 X-BAR 输出 11
-	43	53	61	GPIO55	I/O	通用输入/输出 55
				SPIM0_MISO	I	SPIM0_主器件输入，从器件输出备份
				SRPWM9_A	O	SRPWM9A 输出
				EQEP1_B	I	EQEP1 输入 B
				OUTXBAR2	O	输出 X-BAR 输出 2
				SDFM0_CLK4	I	SDFM0 通道 4 时钟输入
				SDFM0_CLK3	I	SDFM0 通道 3 时钟输入
-	44	54	62	GPIO60	I/O	通用输入/输出 60
				CANFD1_TX	O	CAN FD1 发送
				SRPWM9_B	O	SRPWM9B 输出
				OUTXBAR2	O	输出 X-BAR 输出 2
				SPIM1_MOSI	O	SPIM1 主器件输出，从器件输入

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				SDFM1_DATA3	I	SDFM1 通道 3 数据输入
				SDFM1_CLK4	I	SDFM1 通道 4 时钟输入
-	-	55	63	GPIO80	I/O	通用输入/输出 80
				SRPWM8_B	O	SRPWM8B 输出
				I2C1_ALERT_n	I/OD	I2C1 控制信号-从器件输入/主器件输出（低有效）
33	48	59	67	GPIO20	I/O	通用输入/输出 20
				EQEP0_A	I	EQEP0 输入 A
				TESTPIN0	O	测试引脚 0
				SRPWM10_A	O	SRPWM10A 输出
				SPIM1_MOSI	O	SPIM1 主器件输出，从器件输入
				SDFM0_DATA3	I	SDFM0 通道 3 数据输入
				CANFD1_TX	O	CAN FD1 发送
				ECAP10	I	增强型捕获输入 10
34	49	60	68	GPIO21	I/O	通用输入/输出 21
				EQEP0_B	I	EQEP0 输入 B
				TESTPIN1	O	测试引脚 1
				SRPWM10_B	O	SRPWM10B 输出
				SPIM1_MISO	I	SPIM1_主器件输入，从器件输出备份
				SDFM0_CLK3	I	SDFM0 通道 3 时钟输入
				CANFD1_RX	I	CAN FD1 接收
				ECAP11	I	增强型捕获输入 11
35	50	61	69	GPIO13	I/O	通用输入/输出 13
				SRPWM6_B	O	SRPWM6B 输出
				CANFD1_TX	O	CAN FD1 发送

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				SRPWM11_A	O	SRPWM11A 输出
				EQEP0_INDEX	I	EQEP0 索引
				UART1_RX	I	UART1 接收
				I2C0_ALERT_n	I/OD	I2C0 控制信号-从器件输入/主器件输出（低有效）
				ECAP12	I	增强型捕获输入 12
				SPIM0_MISO	I	SPIM0_主器件输入，从器件输出备份
				CANFD0_TX	O	CAN FD0 发送
36	51	62	70	GPIO12	I/O	通用输入/输出 12
				SRPWM6_A	O	SRPWM6A 输出
				CANFD1_RX	I	CAN FD1 接收
				SRPWM11_B	O	SRPWM11B 输出
				EQEP0_STROBE	I	EQEP0 选通
				UART1_TX	O	UART1 输出
				I2C0_CTL_n	I/OD	I2C0 控制信号-从器件输入/主器件输出（低有效）
				ECAP13	I	增强型捕获输入 13
				SPIM0_CLK	O	SPIM0 时钟
				CANFD0_RX	I	CAN FD0 接收
37	52	63	71	GPIO11	I/O	通用输入/输出 11
				SRPWM5_B	O	SRPWM5B 输出
				OUTXBAR6	O	输出 X-BAR 输出 6
				ETIMER0	O	通用定时器输出 0
				EQEP0_B	I	EQEP0 输入 B
				UART1_RX	I	UART1 接收

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				SPIM0_CS0_n	O	SPIM0 从器件片选 0（低有效）
				EQEP1_A	I	EQEP1 输入 A
				SPIM0_MOSI	O	SPIM0 主器件输出，从器件输入
38	53	64	73	GPIO33	I/O	通用输入/输出 33
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
				SPIM1_CS0_n	O	SPIM1 从器件片选 0（低有效）
				ETIMER1	O	通用定时器输出 1
				OUTXBAR3	O	输出 X-BAR 输出 3
				SDFM0_CLK2	I	SDFM0 通道 2 时钟输入
				CANFD0_RX	I	CAN FD0 接收
				EQEP1_B	I	EQEP1 输入 B
				SDFM0_CLK1	I	SDFM0 通道 1 时钟输入
39	54	65	74	GPIO16	I/O	通用输入/输出 16
				SPIM0_MOSI	O	SPIM0 主器件输出，从器件输入
				OUTXBAR6	O	输出 X-BAR 输出 6
				ETIMER2	O	通用定时器输出 2
				SRPWM4_A	O	SRPWM4A 输出
				UART0_TX	O	UART0 输出
				SDFM0_DATA1	I	SDFM0 通道 1 数据输入
				EQEP0_STROBE	I	EQEP0 选通
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
				EQEP1_B	I	EQEP1 输入 B
				SPIM1_MISO	I	SPIM1_主器件输入，从器件输出备份
-	-	66	75	GPIO64	I/O	通用输入/输出 64

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				SRPWM8_A	O	SRPWM8A 输出
				I2C1_CTL_n	I/OD	I2C1 控制信号-从器件输入/主器件输出（低有效）
40	55	67	76	GPIO17	I/O	通用输入/输出 17
				SPIM0_MISO	I	SPIM0_主器件输入，从器件输出备份
				OUTXBAR7	O	输出 X-BAR 输出 7
				ETIMER6	O	通用定时器输出 6
				SRPWM4_B	O	SRPWM4B 输出
				UART0_RX	I	UART0 接收
				SDFM0_CLK1	I	SDFM0 通道 1 时钟输入
				EQEP0_INDEX	I	EQEP0 索引
				I2C0_SDA	I/OD	I2C0 开漏双向数据
				CANFD0_TX	O	CAN FD0 发送
41	56	68	77	GPIO24	I/O	通用输入/输出 24
				OUTXBAR0	O	输出 X-BAR 输出 0
				EQEP1_A	I	EQEP1 输入 A
				SRPWM7_A	O	SRPWM7A 输出
				SPIM1_MOSI	O	SPIM1 主器件输出，从器件输入
				SDFM1_DATA1	I	SDFM1 通道 1 数据输入
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
				UART0_TX	O	UART0 输出
42	57	69	78	GPIO25	I/O	通用输入/输出 25
				OUTXBAR1	O	输出 X-BAR 输出 1
				EQEP1_B	I	EQEP1 输入 B
				ETIMER3	O	通用定时器输出 3

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				EQEP0_A	I	EQEP0 输入 A
				SPIM1_MISO	I	SPIM1_主器件输入，从器件输出备份
				SDFM1_CLK1	I	SDFM1 通道 1 时钟输入
				I2C0_SDA	I/OD	I2C0 开漏双向数据
				UART0_RX	I	UART0 接收
43	58	70	79	GPIO26	I/O	通用输入/输出 26
				OUTXBAR2	O	输出 X-BAR 输出 2
				EQEP1_INDEX	I	EQEP1 索引
				TESTPIN2	O	测试引脚 2
				ETIMER4	O	通用定时器输出 4
				OUTXBAR2	O	输出 X-BAR 输出 2
				SPIM1_CLK	O	SPIM1 时钟
				SDFM1_DATA2	I	SDFM1 通道 2 数据输入
				I2C0_CTL_n	I/OD	I2C0 控制信号-从器件输入/主器件输出（低有效）
				I2C0_SDA	I/OD	I2C0 开漏双向数据
44	59	71	80	GPIO27	I/O	通用输入/输出 27
				OUTXBAR3	O	输出 X-BAR 输出 3
				EQEP1_STROBE	I	EQEP1 选通
				TESTPIN3	O	测试引脚 3
				ETIMER5	O	通用定时器输出 5
				OUTXBAR3	O	输出 X-BAR 输出 3
				SPIM1_CS0_n	O	SPIM1 从器件片选 0（低有效）
				SDFM1_CLK2	I	SDFM1 通道 2 时钟输入

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				I2C0_ALERT_n	I/OD	I2C0 控制信号-从器件输入/主器件输出（低有效）
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
45	60	72	81	SWCLK	O	SWD 时钟
				GPIO18	I/O	通用输入/输出 18
46	61	73	82	GPIO37	I/O	通用输入/输出 37
				OUTXBAR1	O	输出 X-BAR 输出 1
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
				ECAP0	I	增强型捕获输入 0
				UART0_TX	O	UART0 输出
				CANFD0_TX	O	CAN FD0 发送
				EQEP0_B	I	EQEP0 输入 B
47	62	74	83	I2C0_ALERT_n	I/OD	I2C0 控制信号-从器件输入/主器件输出（低有效）
				SWDIO	I/O	SWD 数据
48	63	75	84	GPIO19	I/O	通用输入/输出 19
				GPIO35	I/O	通用输入/输出 35
				UART0_RX	I	UART0 接收
				I2C0_SDA	I/OD	I2C0 开漏双向数据
				ECAP1	I	增强型捕获输入 1
				CANFD0_RX	I	CAN FD0 接收
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
				EQEP0_A	I	EQEP0 输入 A
				I2C0_CTL_n	I/OD	I2C0 控制信号-从器件输入/主器件输出（低有效）

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				SRPWM4_B	O	SRPWM4B 输出
				SDFM1_CLK1	I	SDFM1 通道 1 时钟输入
-	-	76	85	GPIO65	I/O	通用输入/输出 65
				EQEP0_B	I	EQEP0 输入 B
				ETIMER8	O	通用定时器输出 8
				OUTXBAR12	O	输出 X-BAR 输出 12
-	-	77	86	GPIO62	I/O	通用输入/输出 62
				EQEP0_INDEX	I	EQEP0 索引
				ETIMER9	O	通用定时器输出 9
				OUTXBAR10	O	输出 X-BAR 输出 10
-	-	78	87	GPIO63	I/O	通用输入/输出 63
				SPIM2_CLK	O	SPIM2 时钟
-	-	79	88	GPIO68	I/O	通用输入/输出 68
				SPIM2_MOSI	O	SPIM2 主器件输出, 从器件输入
				SPIM1_CS3_n	O	SPIM1 从器件片选 3 (低有效)
				ETIMER11	O	通用定时器输出 11
-	-	80	89	GPIO69	I/O	通用输入/输出 69
				SPIM2_MISO	I	SPIM2_主器件输入, 从器件输出备份
				SPIM0_CS2_n	O	SPIM0 从器件片选 2 (低有效)
				ETIMER12	O	通用定时器输出 12
-	-	81	90	GPIO70	I/O	通用输入/输出 70
				SPIM2_CS0_n	O	SPIM2 从器件片选 0 (低有效)
				SPIM0_CS3_n	O	SPIM0 从器件片选 3 (低有效)
				ETIMER13	O	通用定时器输出 13

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				OUTXBAR13	O	输出 X-BAR 输出 13
49	64	82	91	GPIO32	I/O	通用输入/输出 32
				I2C0_SDA	I/OD	I2C0 开漏双向数据
				SPIM1_CLK	O	SPIM1 时钟
				SRPWM7_B	O	SRPWM7B 输出
				SDFM0_DATA2	I	SDFM0 通道 2 数据输入
				CANFD0_TX	O	CAN FD0 发送
54	-	83	92	GPIO43	I/O	通用输入/输出 43
				SPIM2_CLK	O	SPIM2 时钟
				ECAP2	I	增强型捕获输入 2
				OUTXBAR8	O	输出 X-BAR 输出 8
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
				EQEP0_INDEX	I	EQEP0 索引
-	65	84	93	GPIO56	I/O	通用输入/输出 56
				SPIM0_CLK	O	SPIM0 时钟
				CANFD1_TX	O	CAN FD1 发送
				ECAP3	I	增强型捕获输入 3
				EQEP1_STROBE	I	EQEP1 选通
				UART1_TX	O	UART1 输出
				SDFM1_DATA1	I	SDFM1 通道 1 数据输入
				SPIM1_MOSI	O	SPIM1 主器件输出, 从器件输入
				I2C0_SDA	I/OD	I2C0 开漏双向数据
				EQEP0_A	I	EQEP0 输入 A
				SDFM0_CLK4	I	SDFM0 通道 4 时钟输入

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
-	66	85	94	GPIO57	I/O	通用输入/输出 57
				SPIM0_CS0_n	O	SPIM0 从器件片选 0（低有效）
				CANFD1_RX	I	CAN FD1 接收
				ECAP4	I	增强型捕获输入 4
				EQEP1_INDEX	I	EQEP1 索引
				UART1_RX	I	UART1 接收
				SDFM1_CLK1	I	SDFM1 通道 1 时钟输入
				SPIM1_MISO	I	SPIM1_主器件输入，从器件输出备份
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
				EQEP0_B	I	EQEP0 输入 B
-	67	86	95	GPIO58	I/O	通用输入/输出 58
				ECAP5	I	增强型捕获输入 5
				OUTXBAR0	O	输出 X-BAR 输出 0
				SPIM1_CLK	O	SPIM1 时钟
				SDFM1_DATA2	I	SDFM1 通道 2 数据输入
				CANFD0_TX	O	CAN FD0 发送
				EQEP0_STROBE	I	EQEP0 选通
				SDFM1_CLK2	I	SDFM1 通道 2 时钟输入
56	-	93	102	GPIO39	I/O	通用输入/输出 39
				SPIM2_MOSI	O	SPIM2 主器件输出，从器件输入
				ECAP6	I	增强型捕获输入 6
				EQEP0_INDEX	I	EQEP0 索引
57	-	94	103	GPIO42	I/O	通用输入/输出 42
				SPIM2_MISO	I	SPIM2_主器件输入，从器件输出备份

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				EQEP0_A	I	EQEP0 输入 A
				ETIMER7	O	通用定时器输出 7
				OUTXBAR9	O	输出 X-BAR 输出 9
				I2C0_SDA	I/OD	I2C0 开漏双向数据
58	74	95	104	GPIO8	I/O	通用输入/输出 8
				SRPWM4_A	O	SRPWM4A 输出
				CANFD0_TX	O	CAN FD0 发送
				EQEP0_STROBE	I	EQEP0 选通
				UART0_TX	O	UART0 输出
				SPIM0_MOSI	O	SPIM0 主器件输出，从器件输入
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
59	75	96	105	GPIO4	I/O	通用输入/输出 4
				SRPWM2_A	O	SRPWM2A 输出
				CANFD1_TX	O	CAN FD1 发送
				CANFD0_RX	I	CAN FD0 接收
				OUTXBAR2	O	输出 X-BAR 输出 2
				CANFD0_TX	O	CAN FD0 发送
				SPIM1_CLK	O	SPIM1 时钟
				EQEP1_STROBE	I	EQEP1 选通
-	-	-	106	GPIO82	I/O	通用输入/输出 82
				EQEP0_STROBE	I	EQEP0 选通
				ECAP7	I	增强型捕获输入 7
60	76	97	107	GPIO3	I/O	通用输入/输出 3
				SRPWM1_B	O	SRPWM1B 输出

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				OUTXBAR1	O	输出 X-BAR 输出 1
				CANFD1_TX	O	CAN FD1 发送
				OUTXBAR1	O	输出 X-BAR 输出 1
				SPIM0_CLK	O	SPIM0 时钟
				UART0_RX	I	UART0 接收
				I2C1_SCL	I/OD	I2C1 开漏双向时钟
				CANFD0_RX	I	CAN FD0 接收
-	-	-	109	GPIO81	I/O	通用输入/输出 81
				SPIM2_CLK	O	SPIM2 时钟
				OUTXBAR8	O	输出 X-BAR 输出 8
				ECAP8	I	增强型捕获输入 8
-	-	-	110	GPIO83	I/O	通用输入/输出 83
				EQEP0_STROBE	I	EQEP0 选通
				ECAP10	I	增强型捕获输入 10
				ETIMER10	O	通用定时器输出 10
				OUTXBAR11	O	输出 X-BAR 输出 11
-	-	-	111	GPIO84	I/O	通用输入/输出 84
				EQEP0_A	I	EQEP0 输入 A
				ECAP11	I	增强型捕获输入 11
				ETIMER11	O	通用定时器输出 11
-	-	-	112	GPIO85	I/O	通用输入/输出 85
				EQEP0_B	I	EQEP0 输入 B
				ECAP12	I	增强型捕获输入 12
				ETIMER12	O	通用定时器输出 12

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
-	-	-	113	GPIO71	I/O	通用输入/输出 71
				EQEP0_INDEX	I	EQEP0 索引
				ECAP13	I	增强型捕获输入 13
				ETIMER13	O	通用定时器输出 13
61	77	98	114	GPIO2	I/O	通用输入/输出 2
				SRPWM1_A	O	SRPWM1A 输出
				CANFD1_RX	I	CAN FD1 接收
				OUTXBAR0	O	输出 X-BAR 输出 0
				SPIM0_MOSI	O	SPIM0 主器件输出，从器件输入
				UART0_TX	O	UART0 输出
				I2C1_SDA	I/OD	I2C1 开漏双向数据
				CANFD0_TX	O	CAN FD0 发送
62	78	99	115	GPIO1	I/O	通用输入/输出 1
				SRPWM0_B	O	SRPWM0B 输出
				SPIS0_CLK	I	SPIS0 时钟
				SPIM0_CLK	O	SPIM0 时钟
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
				SPIM0_MISO	I	SPIM0_主器件输入，从器件输出备份
				CANFD1_TX	O	CAN FD1 发送
63	79	100	116	GPIO0	I/O	通用输入/输出 0
				SRPWM0_A	O	SRPWM0A 输出
				SPIS0_MOSI	I	SPIS0 主器件输出，从器件输入
				SPIM0_MOSI	O	SPIM0 主器件输出，从器件输入
				I2C0_SDA	I/OD	I2C0 开漏双向数据

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				SPIM0_CS0_n	O	SPIM0 从器件片选 0（低有效）
				CANFD1_RX	I	CAN FD1 接收
				EQEP0_INDEX	I	EQEP0 索引
64	80	101	117	GPIO40	I/O	通用输入/输出 40
				SPIM1_MOSI	O	SPIM1 主器件输出，从器件输入
				SPIS0_MISO	O	SPIS0_主器件输入，从器件输出备份
				SPIM0_MISO	I	SPIM0_主器件输入，从器件输出备份
				SRPWM1_B	O	SRPWM1B 输出
				I2C0_SDA	I/OD	I2C0 开漏双向数据
				UART1_TX	O	UART1 输出
				EQEP0_A	I	EQEP0 输入 A
65	81	102	118	GPIO23	I/O	通用输入/输出 23
				EQEP0_INDEX	I	EQEP0 索引
				SPIS0_CS0_n	O	SPIS0 从器件片选 0（低有效）
				UART1_RX	I	UART1 接收
				SPIM0_CS0_n	O	SPIM0 从器件片选 0（低有效）
				SPIM1_CS0_n	O	SPIM1 从器件片选 0（低有效）
				SDFM0_CLK4	I	SDFM0 通道 4 时钟输入
				SRPWM3_B	O	SRPWM3B 输出
66	82	103	119	GPIO41	I/O	通用输入/输出 41
				SPIM2_CLK	O	SPIM2 时钟
				SRPWM1_A	O	SRPWM1A 输出
				I2C0_SCL	I/OD	I2C0 开漏双向时钟
				UART1_RX	I	UART1 接收

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				EQEP0_B	I	EQEP0 输入 B
				SPIM1_MISO	I	SPIM1_主器件输入, 从器件输出备份
67	83	104	120	GPIO22	I/O	通用输入/输出 22
				EQEP0_STROBE	I	EQEP0 选通
				SPIM1_CS3_n	O	SPIM1 从器件片选 3 (低有效)
				UART1_TX	O	UART1 输出
				SPIM2_MOSI	O	SPIM2 主器件输出, 从器件输入
				SPIM1_CLK	O	SPIM1 时钟
				SDFM0_DATA4	I	SDFM0 通道 4 数据输入
				SRPWM3_A	O	SRPWM3A 输出
68	84	105	121	GPIO7	I/O	通用输入/输出 7
				SRPWM3_B	O	SRPWM3B 输出
				SPIM0_CS2_n	O	SPIM0 从器件片选 2 (低有效)
				OUTXBAR4	O	输出 X-BAR 输出 4
				SPIM2_MISO	I	SPIM2_主器件输入, 从器件输出备份
				EQEP0_B	I	EQEP0 输入 B
				SPIM1_MOSI	O	SPIM1 主器件输出, 从器件输入
69	85	106	122	GPIO44	I/O	通用输入/输出 44
				SPIM0_CS3_n	O	SPIM0 从器件片选 3 (低有效)
				OUTXBAR6	O	输出 X-BAR 输出 6
				SPIM2_CS0_n	O	SPIM2 从器件片选 0 (低有效)
				EQEP0_A	I	EQEP0 输入 A
				I2C0_SDA	I/OD	I2C0 开漏双向数据
				I2C0_CTL_n	I/OD	I2C0 控制信号-从器件输入/主器件输出 (低有效)

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
73	-	110	126	GPIO45	I/O	通用输入/输出 45
				I2C1_ALERT_n	I/OD	I2C1 控制信号-从器件输入/主器件输出（低有效）
				OUTXBAR9	O	输出 X-BAR 输出 9
				ECAP9	I	增强型捕获输入 9
				I2C0_ALERT_n	I/OD	I2C0 控制信号-从器件输入/主器件输出（低有效）
				SDFM1_CLK3	I	SDFM1 通道 3 时钟输入
74	89	111	127	GPIO5	I/O	通用输入/输出 5
				SRPWM2_B	O	SRPWM2B 输出
				OUTXBAR2	O	输出 X-BAR 输出 2
				SRPWM0_A	O	SRPWM0A 输出
				CANFD1_RX	I	CAN FD1 接收
				CANFD0_RX	I	CAN FD0 接收
				SPIM0_CS0_n	O	SPIM0 从器件片选 0（低有效）
75	90	112	128	GPIO9	I/O	通用输入/输出 9
				SRPWM4_B	O	SRPWM4B 输出
				UART1_TX	O	UART1 输出
				OUTXBAR5	O	输出 X-BAR 输出 5
				SRPWM0_B	O	SRPWM0B 输出
				EQEP0_INDEX	I	EQEP0 索引
				UART0_RX	I	UART0 接收
				SPIM0_CLK	O	SPIM0 时钟
				I2C1_SCL	I/OD	I2C1 开漏双向时钟

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
-	91	113	129	GPIO61	I/O	通用输入/输出 61
				CANFD1_RX	I	CAN FD1 接收
				SRPWM1_A	O	SRPWM1A 输出
				OUTXBAR3	O	输出 X-BAR 输出 3
				SPIM1_MISO	I	SPIM1 主器件输入，从器件输出备份
				SDFM1_CLK3	I	SDFM1 通道 3 时钟输入
				CANFD0_RX	I	CAN FD0 接收
-	92	114	130	GPIO59	I/O	通用输入/输出 59
				SRPWM1_B	O	SRPWM1B 输出
				OUTXBAR1	O	输出 X-BAR 输出 1
				SPIM1_CS0_n	O	SPIM1 从器件片选 0（低有效）
				SDFM1_CLK2	I	SDFM1 通道 2 时钟输入
				CANFD0_RX	I	CAN FD0 接收
				EQEP0_INDEX	I	EQEP0 索引
				SDFM1_CLK3	I	SDFM1 通道 3 时钟输入
76	93	115	131	GPIO10	I/O	通用输入/输出 10
				SRPWM5_A	O	SRPWM5A 输出
				SRPWM2_A	O	SRPWM2A 输出
				EQEP0_A	I	EQEP0 输入 A
				UART1_TX	O	UART1 输出
				SPIM0_MISO	I	SPIM0 主器件输入，从器件输出备份
				I2C0_SDA	I/OD	I2C0 开漏双向数据
77	94	116	132	GPIO34	I/O	通用输入/输出 34
				OUTXBAR0	O	输出 X-BAR 输出 0

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				SRPWM2_B	O	SRPWM2B 输出
				I2C0_SDA	I/OD	I2C0 开漏双向数据
				I2C1_SDA	I/OD	I2C1 开漏双向数据
78	95	117	133	GPIO15	I/O	通用输入/输出 15
				SRPWM7_B	O	SRPWM7B 输出
				UART1_RX	I	UART1 接收
				SRPWM3_A	O	SRPWM3A 输出
				I2C1_SCL	I/OD	I2C1 开漏双向时钟
				OUTXBAR3	O	输出 X-BAR 输出 3
				SPIM1_CS0_n	O	SPIM1 从器件片选 0（低有效）
				EQEP1_B	I	EQEP1 输入 B
				SRPWM2_B	O	SRPWM2B 输出
79	96	118	134	GPIO14	I/O	通用输入/输出 14
				SRPWM7_A	O	SRPWM7A 输出
				UART1_TX	O	UART1 输出
				SRPWM3_B	O	SRPWM3B 输出
				I2C1_SDA	I/OD	I2C1 开漏双向数据
				OUTXBAR2	O	输出 X-BAR 输出 2
				SPIM1_CLK	O	SPIM1 时钟
				EQEP1_A	I	EQEP1 输入 A
				SRPWM2_A	O	SRPWM2A 输出
80	97	119	135	GPIO6	I/O	通用输入/输出 6
				SRPWM3_A	O	SRPWM3A 输出
				OUTXBAR3	O	输出 X-BAR 输出 3

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
				SYNCOUT	O	ETIMER 同步信号输出
				SRPWM4_A	O	SRPWM4A 输出
				EQEP0_A	I	EQEP0 输入 A
				SPIM1_MISO	I	SPIM1_主器件输入，从器件输出备份
-	-	120	136	GPIO72	I/O	通用输入/输出 72
				SRPWM6_A	O	SRPWM6A 输出
-	-	121	137	GPIO73	I/O	通用输入/输出 73
				SRPWM7_A	O	SRPWM7A 输出
-	-	122	138	GPIO74	I/O	通用输入/输出 74
				SRPWM6_B	O	SRPWM6B 输出
-	-	123	139	GPIO75	I/O	通用输入/输出 75
				SRPWM7_B	O	SRPWM7B 输出
-	-	124	140	GPIO76	I/O	通用输入/输出 76
				SPIM0_MOSI	O	SPIM0 主器件输出，从器件输入
				CANFD0_TX	O	CAN FD0 发送
1	98	125	141	GPIO30	I/O	通用输入/输出 30
				CANFD0_RX	I	CAN FD0 接收
				SPIM1_MOSI	O	SPIM1 主器件输出，从器件输入
				SRPWM4_B	O	SRPWM4B 输出
				OUTXBAR6	O	输出 X-BAR 输出 6
				EQEP0_STROBE	I	EQEP0 选通
				SDFM1_DATA4	I	SDFM1 通道 4 数据输入
				CANFD1_RX	I	CAN FD1 接收
				SRPWM0_A	O	SRPWM0A 输出

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
-	-	126	142	GPIO77	I/O	通用输入/输出 77
				SPIM0_MISO	I	SPIM0_主器件输入，从器件输出备份
				CANFD0_RX	I	CAN FD0 接收
2	99	127	143	GPIO31	I/O	通用输入/输出 31
				CANFD0_TX	O	CAN FD0 发送
				SPIM1_MISO	I	SPIM1_主器件输入，从器件输出备份
				SRPWM5_A	O	SRPWM5A 输出
				OUTXBAR7	O	输出 X-BAR 输出 7
				EQEP0_INDEX	I	EQEP0 索引
				SDFM1_CLK4	I	SDFM1 通道 4 时钟输入
				CANFD1_TX	O	CAN FD1 发送
				SRPWM0_B	O	SRPWM0B 输出
3	100	128	144	GPIO29	I/O	通用输入/输出 29
				UART0_TX	O	UART0 输出
				UART1_RX	I	UART1 接收
				SRPWM6_B	O	SRPWM6B 输出
				SRPWM5_B	O	SRPWM5B 输出
				OUTXBAR5	O	输出 X-BAR 输出 5
				EQEP0_B	I	EQEP0 输入 B
				SDFM1_CLK3	I	SDFM1 通道 3 时钟输入
				EQEP1_INDEX	I	EQEP1 索引
				SPIM1_CS0_n	O	SPIM1 从器件片选 0（低有效）
				I2C1_SCL	I/OD	I2C1 开漏双向时钟
时钟、JTAG 和复位						

LQFP80	LQFP100	LQFP128	LQFP144	信号名称	引脚类型	说明
50	68	87	96	XTAL_OUT	O	晶体振荡器输出
51	69	88	97	XTAL_IN	I	晶体振荡器或单端时钟输入，为了使用此振荡器，必须将一个石英晶体电路连接至 XTAL_IN 和 XTAL_OUT，并且预留补偿电容。此引脚也可用于馈入单端 3.3 V 电平时钟。
5	2	2	2	HWRST_n	I	SoC 外部复位信号（低有效）
45	60	72	81	SWCLK	I	SWD 时钟输入
47	62	74	83	SWDIO	I/O	SWD 数据信号输入输出
电源和接地						
-	73	92	101	REGUENZ	I	VDD 外部电源选择，低电平使用内部电源，高电平使用外部电源
8、31、53、71	4、46、71、87	5、57、90、108	5、65、99、124	VDD	P	1.1 V 数字逻辑电源引脚。建议在每个 VDD 引脚附近放置一个去耦电容，其最小总电容约为 20 μ F。当不使用内部电压调整器时，去耦电容的确切值应由系统电压调节方案确定。
26	34	43	48	VDDA	P	3.3 V 模拟电源引脚。在每个引脚上放置一个最小 2.2 μ F 的去耦电容到 VSSA。
7、32、52、72	3、47、70、88	4、58、89、109	4、66、98、125	VDDIO	P	3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小 0.1 μ F 的去耦电容。
9、30、55、70	5、45、72、86	6、56、91、107	6、64、100、123	VSS	G	数字地
25	33	42	47	VSSA	G	模拟地
-	-	-	72	NC	-	NC ⁽¹⁾ ，悬空处理
-	-	-	108	NC	-	NC ⁽¹⁾ ，悬空处理

 说明

- (1) 上电时必须保持上拉，阻值推荐使用 4.7 k Ω 或 10 k Ω ，待 POR 解复位锁存 GPIO 状态后，可以设置为输入或输出模式。
- (2) 默认状态配置详见芯片启动模式章节，阻值推荐使用 4.7 k Ω 或 10 k Ω ，待 POR 解复位锁存 GPIO 状态后，可以设置为输入或输出模式。
- (3) 表中 NC 代表 Not Connected，是空脚。

4.3 信号描述

4.3.1 模拟信号

表 4-2 模拟信号

信号名称	引脚类型	说明	LQFP144	LQFP128	LQFP100	LQFP80
SAR_A0	I	ADC-A 输入 0	33	31	23	19
SAR_A1	I	ADC-A 输入 1	30	30	22	18
SAR_A2	I	ADC-A 输入 2	23	23	17	13
SAR_A3	I	ADC-A 输入 3	25	25	18	-
SAR_A3	I	ADC-A 输入 3	22	22	-	12
SAR_A4	I	ADC-A 输入 4	51	46	36	-
SAR_A4	I	ADC-A 输入 4	49	44	-	27
SAR_A5	I	ADC-A 输入 5	50	45	35	-
SAR_A5	I	ADC-A 输入 5	28	28	-	17
SAR_A6	I	ADC-A 输入 6	19	19	14	10
SAR_A7	I	ADC-A 输入 7	44	39	31	23

信号名称	引脚类型	说明	LQFP144	LQFP128	LQFP100	LQFP80
SAR_A8	I	ADC-A 输入 8	52	47	37	-
SAR_A8	I	ADC-A 输入 8	45	40	-	24
SAR_A9	I	ADC-A 输入 9	53	48	38	28
SAR_A10	I	ADC-A 输入 10	55	50	40	29
SAR_A11	I	ADC-A 输入 11	27	27	20	16
SAR_A12	I	ADC-A 输入 12	39	36	28	22
SAR_A14	I	ADC-A 输入 14	26	26	19	15
SAR_A15	I	ADC-A 输入 15	24	24	-	14
SAR_B0	I	ADC-B 输入 0	56	51	41	-
SAR_B0	I	ADC-B 输入 0	45	40	-	24
SAR_B1	I	ADC-B 输入 1	55	50	40	29
SAR_B1	I	ADC-B 输入 1	34	-	-	-
SAR_B2	I	ADC-B 输入 2	20	20	15	11
SAR_B3	I	ADC-B 输入 3	21	21	16	12
SAR_B4	I	ADC-B 输入 4	54	49	39	28
SAR_B5	I	ADC-B 输入 5	46	41	32	-
SAR_B6	I	ADC-B 输入 6	23	23	17	13
SAR_B7	I	ADC-B 输入 7	30	30	22	18
SAR_B8	I	ADC-B 输入 8	51	46	36	-
SAR_B8	I	ADC-B 输入 8	49	44	-	27
SAR_B9	I	ADC-B 输入 9	25	25	18	-
SAR_B9	I	ADC-B 输入 9	24	24	-	14
SAR_B10	I	ADC-B 输入 10	27	27	20	16
SAR_B11	I	ADC-B 输入 11	43	38	30	-

信号名称	引脚类型	说明	LQFP144	LQFP128	LQFP100	LQFP80
SAR_B12	I	ADC-B 输入 12	29	29	21	17
SAR_B14	I	ADC-B 输入 14	26	26	19	15
SAR_B15	I	ADC-B 输入 15	33	31	23	19
SAR_C0	I	ADC-C 输入 0	27	27	20	16
SAR_C0	I	ADC-C 输入 0	42	-	-	-
SAR_C1	I	ADC-C 输入 1	40	37	29	22
SAR_C2	I	ADC-C 输入 2	29	29	21	17
SAR_C3	I	ADC-C 输入 3	44	39	31	23
SAR_C3	I	ADC-C 输入 3	31	-	-	-
SAR_C4	I	ADC-C 输入 4	26	26	19	15
SAR_C5	I	ADC-C 输入 5	22	22	-	12
SAR_C6	I	ADC-C 输入 6	20	20	15	11
SAR_C6	I	ADC-C 输入 6	32	-	-	-
SAR_C7	I	ADC-C 输入 7	25	25	18	-
SAR_C7	I	ADC-C 输入 7	24	24	-	14
SAR_C7	I	ADC-C 输入 7	41	-	-	-
SAR_C8	I	ADC-C 输入 8	54	49	39	28
SAR_C8	I	ADC-C 输入 8	58	-	-	-
SAR_C9	I	ADC-C 输入 9	23	23	17	13
SAR_C10	I	ADC-C 输入 10	55	50	40	29
SAR_C10	I	ADC-C 输入 10	59	-	-	-
SAR_C11	I	ADC-C 输入 11	56	51	41	-
SAR_C11	I	ADC-C 输入 11	45	40	-	24
SAR_C11	I	ADC-C 输入 11	60	-	-	-

信号名称	引脚类型	说明	LQFP144	LQFP128	LQFP100	LQFP80
SAR_C14	I	ADC-C 输入 14	49	44	-	27
SAR_C14	I	ADC-C 输入 14	57	52	42	-
SAR_C15	I	ADC-C 输入 15	33	31	23	19
CMP1_HN0	I	CMP1 高电平比较器负输入 0	24	24	-	14
CMP1_HN1	I	CMP1 高电平比较器负输入 1	27	27	20	16
CMP1_HP0	I	CMP1 高电平比较器正输入 0	23	23	17	13
CMP1_HP1	I	CMP1 高电平比较器正输入 1	27	27	20	16
CMP1_HP2	I	CMP1 高电平比较器正输入 2	19	19	14	10
CMP1_HP3	I	CMP1 高电平比较器正输入 3	24	24	-	14
CMP1_HP4	I	CMP1 高电平比较器正输入 4	30	30	22	18
CMP1_HP5	I	CMP1 高电平比较器正输入 5	46	41	32	-
CMP1_LN0	I	CMP1 低电平比较器负输入 0	24	24	-	14
CMP1_LN1	I	CMP1 低电平比较器负输入 1	27	27	20	16
CMP1_LP0	I	CMP1 低电平比较器正输入 0	23	23	17	13
CMP1_LP1	I	CMP1 低电平比较器正输入 1	27	27	20	16
CMP1_LP2	I	CMP1 低电平比较器正输入 2	19	19	14	10
CMP1_LP3	I	CMP1 低电平比较器正输入 3	24	24	-	14
CMP1_LP4	I	CMP1 低电平比较器正输入 4	30	30	22	18
CMP1_LP5	I	CMP1 低电平比较器正输入 5	46	41	32	-
CMP2_HN0	I	CMP2 高电平比较器负输入 0	55	50	40	29
CMP2_HN1	I	CMP2 高电平比较器负输入 1	39	36	28	22
CMP2_HP0	I	CMP2 高电平比较器正输入 0	51	46	36	-
CMP2_HP0	I	CMP2 高电平比较器正输入 0	49	44	-	27
CMP2_HP1	I	CMP2 高电平比较器正输入 1	39	36	28	22

信号名称	引脚类型	说明	LQFP144	LQFP128	LQFP100	LQFP80
CMP2_HP2	I	CMP2 高电平比较器正输入 2	53	48	38	28
CMP2_HP3	I	CMP2 高电平比较器正输入 3	55	50	40	29
CMP2_HP4	I	CMP2 高电平比较器正输入 4	56	51	41	-
CMP2_HP4	I	CMP2 高电平比较器正输入 4	45	40	-	24
CMP2_HP5	I	CMP2 高电平比较器正输入 5	50	45	35	-
CMP2_LN0	I	CMP2 低电平比较器负输入 0	55	50	40	29
CMP2_LN1	I	CMP2 低电平比较器负输入 1	39	36	28	22
CMP2_LP0	I	CMP2 低电平比较器正输入 0	51	46	36	-
CMP2_LP0	I	CMP2 低电平比较器正输入 0	49	44	-	27
CMP2_LP1	I	CMP2 低电平比较器正输入 1	39	36	28	22
CMP2_LP2	I	CMP2 低电平比较器正输入 2	53	48	38	28
CMP2_LP3	I	CMP2 低电平比较器正输入 3	55	50	40	29
CMP2_LP4	I	CMP2 低电平比较器正输入 4	56	51	41	-
CMP2_LP4	I	CMP2 低电平比较器正输入 4	45	40	-	24
CMP2_LP5	I	CMP2 低电平比较器正输入 5	50	45	35	-
CMP3_HN0	I	CMP3 高电平比较器负输入 0	21	21	16	12
CMP3_HN1	I	CMP3 高电平比较器负输入 1	29	29	21	17
CMP3_HP0	I	CMP3 高电平比较器正输入 0	20	20	15	11
CMP3_HP1	I	CMP3 高电平比较器正输入 1	29	29	21	17
CMP3_HP2	I	CMP3 高电平比较器正输入 2	33	31	23	19
CMP3_HP3	I	CMP3 高电平比较器正输入 3	21	21	16	12
CMP3_HP4	I	CMP3 高电平比较器正输入 4	26	26	19	15
CMP3_HP5	I	CMP3 高电平比较器正输入 5	25	25	18	-
CMP3_LN0	I	CMP3 低电平比较器负输入 0	21	21	16	12

信号名称	引脚类型	说明	LQFP144	LQFP128	LQFP100	LQFP80
CMP3_LN1	I	CMP3 低电平比较器负输入 1	29	29	21	17
CMP3_LP0	I	CMP3 低电平比较器正输入 0	20	20	15	11
CMP3_LP1	I	CMP3 低电平比较器正输入 1	29	29	21	17
CMP3_LP2	I	CMP3 低电平比较器正输入 2	33	31	23	19
CMP3_LP3	I	CMP3 低电平比较器正输入 3	21	21	16	12
CMP3_LP4	I	CMP3 低电平比较器正输入 4	26	26	19	15
CMP3_LP5	I	CMP3 低电平比较器正输入 5	25	25	18	-
CMP4_HN0	I	CMP4 高电平比较器负输入 0	49	44	-	27
CMP4_HN0	I	CMP4 高电平比较器负输入 0	57	52	42	-
CMP4_HN1	I	CMP4 高电平比较器负输入 1	44	39	31	23
CMP4_HP0	I	CMP4 高电平比较器正输入 0	54	49	39	28
CMP4_HP1	I	CMP4 高电平比较器正输入 1	44	39	31	23
CMP4_HP2	I	CMP4 高电平比较器正输入 2	40	37	29	22
CMP4_HP3	I	CMP4 高电平比较器正输入 3	49	44	-	27
CMP4_HP3	I	CMP4 高电平比较器正输入 3	57	52	42	-
CMP4_HP4	I	CMP4 高电平比较器正输入 4	45	40	-	24
CMP4_HP4	I	CMP4 高电平比较器正输入 4	52	47	37	-
CMP4_HP5	I	CMP4 高电平比较器正输入 5	43	38	30	-
CMP4_LN0	I	CMP4 低电平比较器负输入 0	49	44	-	27
CMP4_LN0	I	CMP4 低电平比较器负输入 0	57	52	42	-
CMP4_LN1	I	CMP4 低电平比较器负输入 1	44	39	31	23
CMP4_LP0	I	CMP4 低电平比较器正输入 0	54	49	39	28
CMP4_LP1	I	CMP4 低电平比较器正输入 1	44	39	31	23
CMP4_LP2	I	CMP4 低电平比较器正输入 2	40	37	29	22

信号名称	引脚类型	说明	LQFP144	LQFP128	LQFP100	LQFP80
CMP4_LP3	I	CMP4 低电平比较器正输入 3	49	44	-	27
CMP4_LP3	I	CMP4 低电平比较器正输入 3	57	52	42	-
CMP4_LP4	I	CMP4 低电平比较器正输入 4	45	40	-	24
CMP4_LP4	I	CMP4 低电平比较器正输入 4	52	47	37	-
CMP4_LP5	I	CMP4 低电平比较器正输入 5	43	38	30	-
DACA_OUT	I	缓冲 DAC-A 输出	33	31	23	19
DACB_OUT	I	缓冲 DAC-B 输出	30	30	22	18
VDAC	I	片上 DAC 的可选外部基准电压	21	21	16	12
VREFHI_A	I	ADC-A 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2 μ F 电容器。此电容器应放置 VREFHI_A 和 VREFLO_A 引脚之间尽可能靠近器件的位置。	35	32	24	20
VREFHI_BC	I	ADC-B/C 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2 μ F 电容器。此电容器应放置 VREFHI_BC 和 VREFLO_BC 引脚之间尽可能靠近器件的位置。	36	33	25	20
VREFLO_A	I	ADC-A 低基准电压	37	34	26	21
VREFLO_BC	I	ADC-B/C 低基准电压	38	35	27	21

4.3.2 数字信号

表 4-3 数字信号

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
CANFD0_RX	I	CAN FD0 接收	GPIO49,GPIO53,GPIO12,GPIO33,GPIO35,GPIO4,GPIO3,GPIO5,GPIO61,GPIO59,GPIO30,GPIO77	36,38,48,59,60,74,1	8,12,51,53,63,75,76,89,91,92,98	9,14,62,64,75,96,97,111,113,114,125,126	9,14,70,73,84,105,107,127,129,130,141,142
CANFD0_TX	O	CAN FD0 发送	GPIO48,GPIO13,GPIO17,GPIO37,GPIO32,GPIO58,GPIO8,GPIO4,GPIO2,GPIO76,GPIO31	35,40,46,49,58,59,61,2	7,50,55,61,64,67,74,75,77,99	8,61,67,73,82,86,95,96,98,124,127	8,69,76,82,91,95,104,105,114,140,143
CANFD1_RX	I	CAN FD1 接收	GPIO47,GPIO51,GPIO78,GPIO21,GPIO12,GPIO57,GPIO2,GPIO0,GPIO5,GPIO61,GPIO30	34,36,61,63,74,1	6,10,49,51,66,77,79,89,91,98	7,11,17,60,62,85,98,100,111,113,125	7,11,17,68,70,94,114,116,127,129,141
CANFD1_TX	O	CAN FD1 发送	GPIO46,GPIO50,GPIO67,GPIO60,GPIO20,GPIO13,GPIO56,GPIO4,GPIO3,GPIO1,GPIO31	6,33,35,59,60,62,2	9,44,48,50,65,75,76,78,99	3,10,16,54,59,61,84,96,97,99,127	3,10,16,62,67,69,93,105,107,115,143
ECAP0	I	增强型捕获输入 0	GPIO37	46	61	73	82
ECAP1	I	增强型捕获输入 1	GPIO35	48	63	75	84
ECAP10	I	增强型捕获输入 10	GPIO20,GPIO83	33	48	59	67,110
ECAP11	I	增强型捕获输入 11	GPIO21,GPIO84	34	49	60	68,111
ECAP12	I	增强型捕获输入 12	GPIO13,GPIO85	35	50	61	69,112
ECAP13	I	增强型捕获输入 13	GPIO12,GPIO71	36	51	62	70,113
ECAP2	I	增强型捕获输入 2	GPIO43	54		83	92
ECAP3	I	增强型捕获输入 3	GPIO56		65	84	93

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
ECAP4	I	增强型捕获输入 4	GPIO57		66	85	94
ECAP5	I	增强型捕获输入 5	GPIO58		67	86	95
ECAP6	I	增强型捕获输入 6	GPIO39	56		93	102
ECAP7	I	增强型捕获输入 7	GPIO82				106
ECAP8	I	增强型捕获输入 8	GPIO81				109
ECAP9	I	增强型捕获输入 9	GPIO45	73		110	126
EQEP0_A	I	EQEP0 输入 A	GPIO28,GPIO50,GPIO20,GPIO25,GPIO35,GPIO56,GPIO42,GPIO84,GPIO40,GPIO44,GPIO10,GPIO6	4,33,42,48,57,64,69,76,80	1,9,48,57,63,65,80,85,93,97	1,10,59,69,75,84,94,101,106,115,119	1,10,67,78,84,93,103,111,117,122,131,135
EQEP0_B	I	EQEP0 输入 B	GPIO51,GPIO21,GPIO11,GPIO37,GPIO65,GPIO57,GPIO85,GPIO41,GPIO7,GPIO29	34,37,46,66,68,3	10,49,52,61,66,82,84,100	11,60,63,73,76,85,103,105,128	11,68,71,82,85,94,112,119,121,144
EQEP0_INDEX	I	EQEP0 索引	GPIO53,GPIO13,GPIO17,GPIO62,GPIO43,GPIO39,GPIO71,GPIO0,GPIO23,GPIO9,GPIO59,GPIO31	35,40,54,56,63,65,75,2	12,50,55,79,81,90,92,99	14,61,67,77,83,93,100,102,112,114,127	14,69,76,86,92,102,113,116,118,128,130,143
EQEP0_STROBE	I	EQEP0 选通	GPIO52,GPIO12,GPIO16,GPIO58,GPIO8,GPIO82,GPIO83,GPIO22,GPIO30	36,39,58,67,1	11,51,54,67,74,83,98	13,62,65,86,95,104,125	13,70,74,95,104,106,110,120,141
EQEP1_A	I	EQEP1 输入 A	GPIO54,GPIO11,GPIO24,GPIO14	37,41,79	13,52,56,96	15,63,68,118	15,71,77,134
EQEP1_B	I	EQEP1 输入 B	GPIO55,GPIO33,GPIO16,GPIO25,GPIO15	38,39,42,78	43,53,54,57,95	53,64,65,69,117	61,73,74,78,133
EQEP1_INDEX	I	EQEP1 索引	GPIO26,GPIO57,GPIO29	43,3	58,66,100	70,85,128	79,94,144

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
X							
EQEP1_STROBE	I	EQEP1 选通	GPIO28,GPIO27,GPIO56,GPIO4	4,44,59	1,59,65,75	1,71,84,96	1,80,93,105
ETIMER0	O	通用定时器输出 0	GPIO11	37	52	63	71
ETIMER1	O	通用定时器输出 1	GPIO33	38	53	64	73
ETIMER10	O	通用定时器输出 10	GPIO79,GPIO83			18	18,110
ETIMER11	O	通用定时器输出 11	GPIO68,GPIO84			79	88,111
ETIMER12	O	通用定时器输出 12	GPIO69,GPIO85			80	89,112
ETIMER13	O	通用定时器输出 13	GPIO70,GPIO71			81	90,113
ETIMER2	O	通用定时器输出 2	GPIO16	39	54	65	74
ETIMER3	O	通用定时器输出 3	GPIO25	42	57	69	78
ETIMER4	O	通用定时器输出 4	GPIO26	43	58	70	79
ETIMER5	O	通用定时器输出 5	GPIO27	44	59	71	80
ETIMER6	O	通用定时器输出 6	GPIO17	40	55	67	76
ETIMER7	O	通用定时器输出 7	GPIO42	57		94	103
ETIMER8	O	通用定时器输出 8	GPIO65			76	85
ETIMER9	O	通用定时器输出 9	GPIO62			77	86
GPIO0	I/O	通用输入/输出 0	GPIO0	63	79	100	116
GPIO1	I/O	通用输入/输出 1	GPIO1	62	78	99	115
GPIO2	I/O	通用输入/输出 2	GPIO2	61	77	98	114
GPIO3	I/O	通用输入/输出 3	GPIO3	60	76	97	107
GPIO4	I/O	通用输入/输出 4	GPIO4	59	75	96	105
GPIO5	I/O	通用输入/输出 5	GPIO5	74	89	111	127
GPIO6	I/O	通用输入/输出 6	GPIO6	80	97	119	135

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
GPIO7	I/O	通用输入/输出 7	GPIO7	68	84	105	121
GPIO8	I/O	通用输入/输出 8	GPIO8	58	74	95	104
GPIO9	I/O	通用输入/输出 9	GPIO9	75	90	112	128
GPIO10	I/O	通用输入/输出 10	GPIO10	76	93	115	131
GPIO11	I/O	通用输入/输出 11	GPIO11	37	52	63	71
GPIO12	I/O	通用输入/输出 12	GPIO12	36	51	62	70
GPIO13	I/O	通用输入/输出 13	GPIO13	35	50	61	69
GPIO14	I/O	通用输入/输出 14	GPIO14	79	96	118	134
GPIO15	I/O	通用输入/输出 15	GPIO15	78	95	117	133
GPIO16	I/O	通用输入/输出 16	GPIO16	39	54	65	74
GPIO17	I/O	通用输入/输出 17	GPIO17	40	55	67	76
GPIO18	I/O	通用输入/输出 18	SWCLK	45	60	72	81
GPIO19	I/O	通用输入/输出 19	SWDIO	47	62	74	83
GPIO20	I/O	通用输入/输出 20	GPIO20	33	48	59	67
GPIO21	I/O	通用输入/输出 21	GPIO21	34	49	60	68
GPIO22	I/O	通用输入/输出 22	GPIO22	67	83	104	120
GPIO23	I/O	通用输入/输出 23	GPIO23	65	81	102	118
GPIO24	I/O	通用输入/输出 24	GPIO24	41	56	68	77
GPIO25	I/O	通用输入/输出 25	GPIO25	42	57	69	78
GPIO26	I/O	通用输入/输出 26	GPIO26	43	58	70	79
GPIO27	I/O	通用输入/输出 27	GPIO27	44	59	71	80
GPIO28	I/O	通用输入/输出 28	GPIO28	4	1	1	1
GPIO29	I/O	通用输入/输出 29	GPIO29	3	100	128	144
GPIO30	I/O	通用输入/输出 30	GPIO30	1	98	125	141

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
GPIO31	I/O	通用输入/输出 31	GPIO31	2	99	127	143
GPIO32	I/O	通用输入/输出 32	GPIO32	49	64	82	91
GPIO33	I/O	通用输入/输出 33	GPIO33	38	53	64	73
GPIO34	I/O	通用输入/输出 34	GPIO34	77	94	116	132
GPIO35	I/O	通用输入/输出 35	GPIO35	48	63	75	84
GPIO37	I/O	通用输入/输出 37	GPIO37	46	61	73	82
GPIO39	I/O	通用输入/输出 39	GPIO39	56		93	102
GPIO40	I/O	通用输入/输出 40	GPIO40	64	80	101	117
GPIO41	I/O	通用输入/输出 41	GPIO41	66	82	103	119
GPIO42	I/O	通用输入/输出 42	GPIO42	57		94	103
GPIO43	I/O	通用输入/输出 43	GPIO43	54		83	92
GPIO44	I/O	通用输入/输出 44	GPIO44	69	85	106	122
GPIO45	I/O	通用输入/输出 45	GPIO45	73		110	126
GPIO46	I/O	通用输入/输出 46	GPIO46	6		3	3
GPIO47	I/O	通用输入/输出 47	GPIO47		6	7	7
GPIO48	I/O	通用输入/输出 48	GPIO48		7	8	8
GPIO49	I/O	通用输入/输出 49	GPIO49		8	9	9
GPIO50	I/O	通用输入/输出 50	GPIO50		9	10	10
GPIO51	I/O	通用输入/输出 51	GPIO51		10	11	11
GPIO52	I/O	通用输入/输出 52	GPIO52		11	13	13
GPIO53	I/O	通用输入/输出 53	GPIO53		12	14	14
GPIO54	I/O	通用输入/输出 54	GPIO54		13	15	15
GPIO55	I/O	通用输入/输出 55	GPIO55		43	53	61
GPIO56	I/O	通用输入/输出 56	GPIO56		65	84	93

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
GPIO57	I/O	通用输入/输出 57	GPIO57		66	85	94
GPIO58	I/O	通用输入/输出 58	GPIO58		67	86	95
GPIO59	I/O	通用输入/输出 59	GPIO59		92	114	130
GPIO60	I/O	通用输入/输出 60	GPIO60		44	54	62
GPIO61	I/O	通用输入/输出 61	GPIO61		91	113	129
GPIO62	I/O	通用输入/输出 62	GPIO62			77	86
GPIO63	I/O	通用输入/输出 63	GPIO63			78	87
GPIO64	I/O	通用输入/输出 64	GPIO64			66	75
GPIO65	I/O	通用输入/输出 65	GPIO65			76	85
GPIO66	I/O	通用输入/输出 66	GPIO66			12	12
GPIO67	I/O	通用输入/输出 67	GPIO67			16	16
GPIO68	I/O	通用输入/输出 68	GPIO68			79	88
GPIO69	I/O	通用输入/输出 69	GPIO69			80	89
GPIO70	I/O	通用输入/输出 70	GPIO70			81	90
GPIO71	I/O	通用输入/输出 71	GPIO71				113
GPIO72	I/O	通用输入/输出 72	GPIO72			120	136
GPIO73	I/O	通用输入/输出 73	GPIO73			121	137
GPIO74	I/O	通用输入/输出 74	GPIO74			122	138
GPIO75	I/O	通用输入/输出 75	GPIO75			123	139
GPIO76	I/O	通用输入/输出 76	GPIO76			124	140
GPIO77	I/O	通用输入/输出 77	GPIO77			126	142
GPIO78	I/O	通用输入/输出 78	GPIO78			17	17
GPIO79	I/O	通用输入/输出 79	GPIO79			18	18
GPIO80	I/O	通用输入/输出 80	GPIO80			55	63

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
GPIO81	I/O	通用输入/输出 81	GPIO81				109
GPIO82	I/O	通用输入/输出 82	GPIO82				106
GPIO83	I/O	通用输入/输出 83	GPIO83				110
GPIO84	I/O	通用输入/输出 84	GPIO84				111
GPIO85	I/O	通用输入/输出 85	GPIO85				112
I2C0_ALERT_n	I/OD	I2C0 控制信号 - 从器件输入/主器件输出 (低有效)	GPIO13,GPIO27,GPIO37,GPIO45	35,44,46,73	50,59,61	61,71,73,110	69,80,82,126
I2C0_CTL_n	I/OD	I2C0 控制信号 - 从器件输入/主器件输出 (低有效)	GPIO12,GPIO26,GPIO35,GPIO44	36,43,48,69	51,58,63,85	62,70,75,106	70,79,84,122
I2C0_SCL	I/OD	I2C0 开漏双向时钟	GPIO47,GPIO33,GPIO16,GPIO24,GPIO27,GPIO37,GPIO35,GPIO43,GPIO57,GPIO8,GPIO1,GPIO41	38,39,41,44,46,48,54,58,62,66	6,53,54,56,59,61,63,66,74,78,82	7,64,65,68,71,73,75,83,85,95,99,103	7,73,74,77,80,82,84,92,94,104,115,119
I2C0_SDA	I/OD	I2C0 开漏双向数据	GPIO46,GPIO48,GPIO17,GPIO25,GPIO26,GPIO35,GPIO32,GPIO56,GPIO42,GPIO0,GPIO40,GPIO44,GPIO10,GPIO34	6,40,42,43,48,49,57,63,64,69,76,77	7,55,57,58,63,64,65,79,80,85,93,94	3,8,67,69,70,75,82,84,94,100,101,106,115,116	3,8,76,78,79,84,91,93,103,116,117,122,131,132
I2C1_ALERT_n	I/OD	I2C1 控制信号 - 从器件输入/主器件输出 (低有效)	GPIO54,GPIO78,GPIO80,GPIO45	73	13	15,17,55,110	15,17,63,126
I2C1_CTL_n	I/OD	I2C1 控制信号 - 从器件输入/主器件输出 (低有效)	GPIO46,GPIO53,GPIO67,GPIO64	6	12	3,14,16,66	3,14,16,75

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
I2C1_SCL	I/OD	I2C1 开漏双向时钟	GPIO51,GPIO3,GPIO9,GPIO15,GPIO29	60,75,78,3	10,76,90,95,100	11,97,112,117,128	11,107,128,133,144
I2C1_SDA	I/OD	I2C1 开漏双向数据	GPIO28,GPIO50,GPIO2,GPIO34,GPIO14	4,61,77,79	1,9,77,94,96	1,10,98,116,118	1,10,114,132,134
OUTXBAR0	O	输出 X-BAR 输出 0	GPIO24,GPIO58,GPIO2,GPIO34	41,61,77	56,67,77,94	68,86,98,116	77,95,114,132
OUTXBAR1	O	输出 X-BAR 输出 1	GPIO54,GPIO25,GPIO37,GPIO3,GPIO3,GPIO59	42,46,60,60	13,57,61,76,76,92	15,69,73,97,97,114	15,78,82,107,107,130
OUTXBAR10	O	输出 X-BAR 输出 10	GPIO78,GPIO62			17,77	17,86
OUTXBAR11	O	输出 X-BAR 输出 11	GPIO79,GPIO83			18	18,110
OUTXBAR12	O	输出 X-BAR 输出 12	GPIO67,GPIO65			16,76	16,85
OUTXBAR13	O	输出 X-BAR 输出 13	GPIO70			81	90
OUTXBAR2	O	输出 X-BAR 输出 2	GPIO48,GPIO55,GPIO60,GPIO26,GPIO26,GPIO4,GPIO5,GPIO14	43,43,59,74,79	7,43,44,58,58,75,89,96	8,53,54,70,70,96,111,118	8,61,62,79,79,105,127,134
OUTXBAR3	O	输出 X-BAR 输出 3	GPIO49,GPIO33,GPIO27,GPIO27,GPIO61,GPIO15,GPIO6	38,44,44,78,80	8,53,59,59,91,95,97	9,64,71,71,113,17,119	9,73,80,80,129,133,135
OUTXBAR4	O	输出 X-BAR 输出 4	GPIO28,GPIO7	4,68	1,84	1,105	1,121
OUTXBAR5	O	输出 X-BAR 输出 5	GPIO9,GPIO29	75,3	90,100	112,128	128,144
OUTXBAR6	O	输出 X-BAR 输出 6	GPIO11,GPIO16,GPIO44,GPIO30	37,39,69,1	52,54,85,98	63,65,106,125	71,74,122,141
OUTXBAR7	O	输出 X-BAR 输出 7	GPIO17,GPIO31	40,2	55,99	67,127	76,143

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
OUTXBAR8	O	输出 X-BAR 输出 8	GPIO43,GPIO81	54		83	92,109
OUTXBAR9	O	输出 X-BAR 输出 9	GPIO66,GPIO42,GPIO45	57,73		12,94,110	12,103,126
SDFM0_CLK1	I	SDFM0 通道 1 时钟输入	GPIO49,GPIO53,GPIO33,GPIO17	38,40	8,12,53,55	9,14,64,67	9,14,73,76
SDFM0_CLK2	I	SDFM0 通道 2 时钟输入	GPIO51,GPIO54,GPIO33	38	10,13,53	11,15,64	11,15,73
SDFM0_CLK3	I	SDFM0 通道 3 时钟输入	GPIO53,GPIO55,GPIO21	34	12,43,49	14,53,60	14,61,68
SDFM0_CLK4	I	SDFM0 通道 4 时钟输入	GPIO55,GPIO56,GPIO23	65	43,65,81	53,84,102	61,93,118
SDFM0_DATA1	I	SDFM0 通道 1 数据输入	GPIO48,GPIO16	39	7,54	8,65	8,74
SDFM0_DATA2	I	SDFM0 通道 2 数据输入	GPIO50,GPIO32	49	9,64	10,82	10,91
SDFM0_DATA3	I	SDFM0 通道 3 数据输入	GPIO52,GPIO20	33	11,48	13,59	13,67
SDFM0_DATA4	I	SDFM0 通道 4 数据输入	GPIO54, GPIO22	67	13,83	15,104	15,120
SDFM1_CLK1	I	SDFM1 通道 1 时钟输入	GPIO25,GPIO35,GPIO57	42,48	57,63,66	69,75,85	78,84,94
SDFM1_CLK2	I	SDFM1 通道 2 时钟输入	GPIO27,GPIO58,GPIO59	44	59,67,92	71,86,114	80,95,130
SDFM1_CLK3	I	SDFM1 通道 3 时钟输入	GPIO45,GPIO61,GPIO59,GPIO29	73,3	91,92,100	110,113,114,128	126,129,130,144
SDFM1_CLK4	I	SDFM1 通道 4 时钟	GPIO46,GPIO60,GPIO31	6,2	44,99	3,54,127	3,62,143

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
		输入					
SDFM1_DATA 1	I	SDFM1 通道 1 数据 输入	GPIO49,GPIO24,GPIO56	41	8,56,65	9,68,84	9,77,93
SDFM1_DATA 2	I	SDFM1 通道 2 数据 输入	GPIO50,GPIO26,GPIO58	43	9,58,67	10,70,86	10,79,95
SDFM1_DATA 3	I	SDFM1 通道 3 数据 输入	GPIO28,GPIO51,GPIO60	4	1,10,44	1,11,54	1,11,62
SDFM1_DATA 4	I	SDFM1 通道 4 数据 输入	GPIO47,GPIO52,GPIO30	1	6,11,98	7,13,125	7,13,141
SPIM0_CLK	O	SPIM0 时钟	GPIO49,GPIO12,GPIO56,GPIO3 ,GPIO1,GPIO9	36,60,62,75	8,51,65,76,78,90	9,62,84,97,99,11 2	9,70,93,107,11 5,128
SPIM0_CS0_n	O	SPIM0 从器件片选 0 (低有效)	GPIO66,GPIO11,GPIO57,GPIO0, GPIO23,GPIO5	37,63,65,74	52,66,79,81,89	12,63,85,100,102 ,111	12,71,94,116,1 18,127
SPIM0_CS1_n	O	SPIM0 从器件片选 1 (低有效)	GPIO79			18	18
SPIM0_CS2_n	O	SPIM0 从器件片选 2 (低有效)	GPIO69,GPIO7	68	84	80,105	89,121
SPIM0_CS3_n	O	SPIM0 从器件片选 3 (低有效)	GPIO70,GPIO44	69	85	81,106	90,122
SPIM0_MISO	I	SPIM0_主器件输 入, 从器件输出备 份	GPIO55,GPIO13,GPIO17,GPIO1 ,GPIO40,GPIO10,GPIO77	35,40,62,64, 76	43,50,55,78,80,9 3	53,61,67,99,101, 115,126	61,69,76,115,1 17,131,142
SPIM0_MOSI	O	SPIM0_主器件输 出, 从器件输入	GPIO54,GPIO11,GPIO16,GPIO8, GPIO2,GPIO0,GPIO76	37,39,58,61, 63	13,52,54,74,77,7 9	15,63,65,95,98,1 00,124	15,71,74,104,1 14,116,140
SPIM1_CLK	O	SPIM1 时钟	GPIO28,GPIO52,GPIO26,GPIO3	4,43,49,59,6	1,11,58,64,67,75,	1,13,70,82,86,96,	1,13,79,91,95,

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
			2,GPIO58,GPIO4, GPIO22,GPIO14	7,79	83,96	104,118	105,120,134
SPIM1_CS0_n	O	SPIM1 从器件片选 0 (低有效)	GPIO53,GPIO67,GPIO33,GPIO2 7,GPIO23,GPIO59,GPIO15,GPI O29	38,44,65,78, 3	12,53,59,81,92,9 5,100	14,16,64,71,102, 114,117,128	14,16,73,80,11 8,130,133,144
SPIM1_CS1_n	O	SPIM1 从器件片选 1 (低有效)	GPIO78			17	17
SPIM1_CS2_n	O	SPIM1 从器件片选 2 (低有效)	GPIO79			18	18
SPIM1_CS3_n	O	SPIM1 从器件片选 3 (低有效)	GPIO68, GPIO22	67	83	79,104	88,120
SPIM1_MISO	I	SPIM1_主器件输 入, 从器件输出备 份	GPIO51,GPIO54,GPIO21,GPIO1 6,GPIO25,GPIO57,GPIO41,GPI O61,GPIO6,GPIO31	34,39,42,66, 80,2	10,13,49,54,57,6 6,82,91,97,99	11,15,60,65,69,8 5,103,113,119,12 7	11,15,68,74,78 ,94,119,129,13 5,143
SPIM1_MOSI	O	SPIM1 主器件输 出, 从器件输入	GPIO50,GPIO53,GPIO60,GPIO2 0,GPIO24,GPIO56,GPIO40,GPI O7,GPIO30	33,41,64,68, 1	9,12,44,48,56,65, 80,84,98	10,14,54,59,68,8 4,101,105,125	10,14,62,67,77 ,93,117,121,14 1
SPIM2_CLK	O	SPIM2 时钟	GPIO63,GPIO43,GPIO81,GPIO4 1	54,66	82	78,83,103	87,92,109,119
SPIM2_CS0_n	O	SPIM2 从器件片选 0 (低有效)	GPIO70,GPIO44	69	85	81,106	90,122
SPIM2_MISO	I	SPIM2 主器件输 入, 从器件输出备 份	GPIO69,GPIO42,GPIO7	57,68	84	80,94,105	89,103,121
SPIM2_MOSI	O	SPIM2 主器件输	GPIO68,GPIO39, GPIO22	56,67	83	79,93,104	88,102,120

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
		出, 从器件输入					
SPIS0_CLK	I	SPIS0 时钟	GPIO49,GPIO1	62	8,78	9,99	9,115
SPIS0_CS0_n	O	SPIS0 从器件片选 0 (低有效)	GPIO23	65	81	102	118
SPIS0_MISO	O	SPIS0_主器件输入, 从器件输出备份	GPIO40	64	80	101	117
SPIS0_MOSI	I	SPIS0 主器件输出, 从器件输入	GPIO0	63	79	100	116
SRPWM0_A	O	SRPWM0A 输出	GPIO0,GPIO5,GPIO30	63,74,1	79,89,98	100,111,125	116,127,141
SRPWM0_B	O	SRPWM0B 输出	GPIO1,GPIO9,GPIO31	62,75,2	78,90,99	99,112,127	115,128,143
SRPWM1_A	O	SRPWM1A 输出	GPIO2,GPIO41,GPIO61	61,66	77,82,91	98,103,113	114,119,129
SRPWM1_B	O	SRPWM1B 输出	GPIO3,GPIO40,GPIO59	60,64	76,80,92	97,101,114	107,117,130
SRPWM10_A	O	SRPWM10A 输出	GPIO20	33	48	59	67
SRPWM10_B	O	SRPWM10B 输出	GPIO21	34	49	60	68
SRPWM11_A	O	SRPWM11A 输出	GPIO13	35	50	61	69
SRPWM11_B	O	SRPWM11B 输出	GPIO12	36	51	62	70
SRPWM2_A	O	SRPWM2A 输出	GPIO4,GPIO10,GPIO14	59,76,79	75,93,96	96,115,118	105,131,134
SRPWM2_B	O	SRPWM2B 输出	GPIO5,GPIO34,GPIO15	74,77,78	89,94,95	111,116,117	127,132,133
SRPWM3_A	O	SRPWM3A 输出	GPIO22,GPIO15,GPIO6	67,78,80	83,95,97	104,117,119	120,133,135
SRPWM3_B	O	SRPWM3B 输出	GPIO23,GPIO7,GPIO14	65,68,79	81,84,96	102,105,118	118,121,134
SRPWM4_A	O	SRPWM4A 输出	GPIO16,GPIO8,GPIO6	39,58,80	54,74,97	65,95,119	74,104,135
SRPWM4_B	O	SRPWM4B 输出	GPIO17,GPIO35,GPIO9,GPIO30	40,48,75,1	55,63,90,98	67,75,112,125	76,84,128,141
SRPWM5_A	O	SRPWM5A 输出	GPIO10,GPIO31	76,2	93,99	115,127	131,143

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
SRPWM5_B	O	SRPWM5B 输出	GPIO11,GPIO29	37,3	52,100	63,128	71,144
SRPWM6_A	O	SRPWM6A 输出	GPIO28,GPIO12,GPIO72	4,36	1,51	1,62,120	1,70,136
SRPWM6_B	O	SRPWM6B 输出	GPIO13,GPIO74,GPIO29	35,3	50,100	61,122,128	69,138,144
SRPWM7_A	O	SRPWM7A 输出	GPIO24,GPIO14,GPIO73	41,79	56,96	68,118,121	77,134,137
SRPWM7_B	O	SRPWM7B 输出	GPIO32,GPIO15,GPIO75	49,78	64,95	82,117,123	91,133,139
SRPWM8_A	O	SRPWM8A 输出	GPIO64			66	75
SRPWM8_B	O	SRPWM8B 输出	GPIO80			55	63
SRPWM9_A	O	SRPWM9A 输出	GPIO55		43	53	61
SRPWM9_B	O	SRPWM9B 输出	GPIO60		44	54	62
SWCLK	O	SWD 时钟	SWCLK	45	60	72	81
SWDIO	I/O	SWD 数据	SWDIO	47	62	74	83
SYNCOUT	O	ETIMER 同步信号输出	GPIO52,GPIO6	80	11,97	13,119	13,135
TESTPIN0	O	测试引脚 0	GPIO20	33	48	59	67
TESTPIN1	O	测试引脚 1	GPIO21	34	49	60	68
TESTPIN2	O	测试引脚 2	GPIO26	43	58	70	79
TESTPIN3	O	测试引脚 3	GPIO27	44	59	71	80
UART0_RX	I	UART0 接收	GPIO28,GPIO49,GPIO50,GPIO17,GPIO25,GPIO35,GPIO3,GPIO9	4,40,42,48,60,75	1,8,9,55,57,63,76,90	1,9,10,67,69,75,97,112	1,9,10,76,78,84,107,128
UART0_TX	O	UART0 输出	GPIO48,GPIO51,GPIO16,GPIO24,GPIO37,GPIO8,GPIO2,GPIO29	39,41,46,58,61,3	7,10,54,56,61,74,77,100	8,11,65,68,73,95,98,128	8,11,74,77,82,104,114,144
UART1_RX	I	UART1 接收	GPIO46,GPIO13,GPIO11,GPIO5	6,35,37,65,6	50,52,66,81,82,9	3,61,63,85,102,1	3,69,71,94,118

信号名称	引脚类型	说明	通用输入/输出 (GPIO)	LQFP80	LQFP100	LQFP128	LQFP144
			7,GPIO23,GPIO41,GPIO15,GPI O29	6,78,3	5,100	03,117,128	,119,133,144
UART1_TX	O	UART1 输出	GPIO28,GPIO12,GPIO56,GPIO4 0, GPIO22,GPIO9,GPIO10,GPIO14	4,36,64,67,7 5,76,79	1,51,65,80,83,90, 93,96	1,62,84,101,104, 112,115,118	1,70,93,117,12 0,128,131,134

4.3.3 电源和接地

表 4-4 电源和接地

信号名称	引脚类型	说明	LQFP144	LQFP128	LQFP100	LQFP80
REGUENZ ⁽²⁾	I	DVDD 外部电源选择, 低电平使用内部电源, 高电平使用外部电源。	103	94	73	-
DVDD	P	1.1 V 数字逻辑电源引脚。建议在每个 DVDD 引脚附近放置一个去耦电容, 其最小总电容约为 20 μ F。当不使用内部电压调整器时, 去耦电容的确切值应由系统电压调节方案确定。	5、65、99、124	5、57、90、108	4、46、71、87	8、31、53、71
VDDA	P	3.3 V 模拟电源引脚。在每个引脚上放置一个最小 2.2 μ F 的去耦电容到 VSSA。	48	43	34	26
VDDIO	P	3.3 V 数字 I/O 电源引脚。在每个引脚上放置一个最小 0.1 μ F 的去耦电容。	4、66、98、125	4、58、89、109	3、47、70、88	7、32、52、72
VSS	G	数字地	6、64、100、123	6、56、91、107	5、45、72、86	9、30、55、70
VSSA	G	模拟地	47	42	33	25
NC		NC ⁽¹⁾ , 浮空处理	72	-	-	-
NC		NC ⁽¹⁾ , 浮空处理	108	-	-	-

说明

- (1) 表中 NC 代表 Not Connected, 是空脚。
- (2) LQFP80 封装 REGUENZ 芯片内部默认接地, DVDD 不支持外部供电。

4.3.4 时钟、JTAG 和复位

表 4-5 时钟、JTAG 和复位

信号名称	引脚类型	说明	LQFP144	LQFP128	LQFP100	LQFP80
XTAL_OUT	O	晶体振荡器输出	96	87	68	50
XTAL_IN	I	晶体振荡器或单端时钟输入, 为了使用此振荡器, 必须将一个石英晶体电路连接至 XTAL_IN 和 XTAL_OUT, 并且预留补偿电容。此引脚也可用于馈入单端 3.3V 电平时钟。	97	88	69	51
SWCLK	I	SWD 时钟输入	81	72	60	45
SWDIO	I/O	SWD 数据信号输入输出	83	74	62	47
HWRST_n	I	SoC 外部复位信号 (低有效)	2	2	2	5

4.4 引脚复用

下表列出了 ET6002 系列 GPIO 引脚复用关系, 每个 GPIO 引脚的默认模式都是 GPIO 功能, 但是 GPIO18 和 GPIO19 除外, 这两个引脚的默认关系分别是 SWCLK 和 SWDIO。可以通过 IOMUX 寄存器配置把 SWCLK 和 SWDIO 配置为 GPIO18 和 GPIO19。未显示的 GPIO MODE 和带有“-”的行和列是保留的 GPIO 多路复用设置。ET6002 系列不存在 GPIO36 和 GPIO38。

表 4-6 GPIO 多路复用引脚

Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode9	Mode10	Mode11	Mode13	Mode14
-------	-------	-------	-------	-------	-------	-------	-------	-------	--------	--------	--------	--------

Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode9	Mode10	Mode11	Mode13	Mode14
GPIO0	SRPW M0_A	SPIS0_M OSI	-	SPIM0_M OSI	-	I2C0_SD A	SPIM0_C S0_n	-	CANFD1 _RX	-	EQEP0_I NDEX	-
GPIO1	SRPW M0_B	SPIS0_CL K	-	SPIM0_C LK	-	I2C0_SCL	SPIM0_ MISO	-	CANFD1 _TX	-	-	-
GPIO2	SRPW M1_A	-	-	CANFD1_ RX	OUTXBA R0	-	SPIM0_ MOSI	UART0_T X	-	I2C1_SD A	-	CANFD0 _TX
GPIO3	SRPW M1_B	OUTXBA R1	-	CANFD1_ TX	OUTXBA R1	-	SPIM0_C LK	UART0_R X	-	I2C1_SCL	-	CANFD0 _RX
GPIO4	SRPW M2_A	-	CANFD1 _TX	CANFD0_ RX	OUTXBA R2	CANFD0_ TX	SPIM1_C LK	EQEP1_S TROBE	-	-	-	-
GPIO5	SRPW M2_B	-	OUTXB AR2	SRPWM0 _A	CANFD1_ RX	CANFD0_ RX	SPIM0_C S0_n	-	-	-	-	-
GPIO6	SRPW M3_A	OUTXBA R3	SYNCO UT	SRPWM4 _A	EQEP0_A	-	SPIM1_ MISO	-	-	-	-	-
GPIO7	SRPW M3_B	SPIM0_C S2_n	OUTXB AR4	SPIM2_M ISO	EQEP0_B	-	SPIM1_ MOSI	-	-	-	-	-
GPIO8	SRPW M4_A	-	-	CANFD0_ TX	EQEP0_S TROBE	UART0_T X	SPIM0_ MOSI	I2C0_SCL	-	-	-	-
GPIO9	SRPW M4_B	UART1_T X	OUTXB AR5	SRPWM0 _B	EQEP0_I NDEX	UART0_R X	SPIM0_C LK	-	-	-	-	I2C1_SC L
GPIO10	SRPW M5_A	-	-	SRPWM2 _A	EQEP0_A	UART1_T X	SPIM0_ MISO	I2C0_SD A	-	-	-	-
GPIO11	SRPW M5_B	-	OUTXB AR6	ETIMER0	EQEP0_B	UART1_R X	SPIM0_C S0_n	-	-	EQEP1_A	SPIM0_ MOSI	-
GPIO12	SRPW	-	CANFD1	SRPWM1	EQEP0_S	UART1_T	I2C0_CT	-	ECAP13	SPIM0_C	CANFD0	-

Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode9	Mode10	Mode11	Mode13	Mode14
2	M6_A		_RX	1_B	TROBE	X	L_n			LK	_RX	
GPIO1 3	SRPW M6_B	-	CANFD1 _TX	SRPWM1 1_A	EQEP0_I NDEX	UART1_R X	I2C0_AL ERT_n	-	ECAP12	SPIM0_M ISO	CANFD0 _TX	-
GPIO1 4	SRPW M7_A	UART1_T X	-	SRPWM3 _B	I2C1_SD A	OUTXBA R2	-	SPIM1_C LK	EQEP1_ A	-	SRPWM2 _A	-
GPIO1 5	SRPW M7_B	UART1_R X	-	SRPWM3 _A	I2C1_SCL	OUTXBA R3	-	SPIM1_C S0_n	EQEP1_ B	-	SRPWM2 _B	-
GPIO1 6	SPIM0_ MOSI	-	OUTXB AR6	ETIMER2	SRPWM4 _A	UART0_T X	SDFM0_ DATA1	EQEP0_S TROBE	I2C0_SC L	-	EQEP1_ B	SPIM1_ MISO
GPIO1 7	SPIM0_ MISO	-	OUTXB AR7	ETIMER6	SRPWM4 _B	UART0_R X	SDFM0_ CLK1	EQEP0_I NDEX	I2C0_SD A	CANFD0_ TX	-	-
SWCLK	GPIO18	-	-	-	-	-	-	-	-	-	-	-
SWDIO	GPIO19	-	-	-	-	-	-	-	-	-	-	-
GPIO2 0	EQEP0_ A	-	TESTPIN 0	SRPWM1 0_A	-	SPIM1_M OSI	SDFM0_ DATA3	CANFD1_ TX	ECAP10	-	-	-
GPIO2 1	EQEP0_ B	-	TESTPIN 1	SRPWM1 0_B	-	SPIM1_M ISO	SDFM0_ CLK3	CANFD1_ RX	ECAP11	-	-	-
GPIO2 2	EQEP0_ STROBE	SPIM1_C S3_n	UART1_ TX	SPIM2_M OSI	-	SPIM1_C LK	SDFM0_ DATA4	-	-	-	-	SRPWM 3_A
GPIO2 3	EQEP0_ INDEX	SPIS0_CS 0_n	UART1_ RX	SPIM0_C S0_n	-	SPIM1_C S0_n	SDFM0_ CLK4	-	-	-	-	SRPWM 3_B
GPIO2	OUTXB	EQEP1_A	-	-	SRPWM7	SPIM1_M	SDFM1_	-	I2C0_SC	UART0_T	-	-

Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode9	Mode10	Mode11	Mode13	Mode14
4	AR0				_A	OSI	DATA1		L	X		
GPIO2 5	OUTXB AR1	EQEP1_B	-	ETIMER3	EQEP0_A	SPIM1_M ISO	SDFM1_ CLK1	-	I2C0_SD A	UART0_R X	-	-
GPIO2 6	OUTXB AR2	EQEP1_I NDEX	TESTPIN 2	ETIMER4	OUTXBA R2	SPIM1_C LK	SDFM1_ DATA2	-	I2C0_CT L_n	I2C0_SD A	-	-
GPIO2 7	OUTXB AR3	EQEP1_S TROBE	TESTPIN 3	ETIMER5	OUTXBA R3	SPIM1_C S0_n	SDFM1_ CLK2	-	I2C0_AL ERT_n	I2C0_SCL	-	-
GPIO2 8	UART0 _RX	-	SRPWM 6_A	UART1_T X	OUTXBA R4	EQEP0_A	SDFM1_ DATA3	EQEP1_S TROBE	-	SPIM1_C LK	-	I2C1_SD A
GPIO2 9	UART0 _TX	UART1_R X	SRPWM 6_B	SRPWM5 _B	OUTXBA R5	EQEP0_B	SDFM1_ CLK3	EQEP1_I NDEX	-	SPIM1_C S0_n	-	I2C1_SC L
GPIO3 0	CANFD 0_RX	-	SPIM1_ MOSI	SRPWM4 _B	OUTXBA R6	EQEP0_S TROBE	SDFM1_ DATA4	-	CANFD1 _RX	SRPWM0 _A	-	-
GPIO3 1	CANFD 0_TX	-	SPIM1_ MISO	SRPWM5 _A	OUTXBA R7	EQEP0_I NDEX	SDFM1_ CLK4	-	CANFD1 _TX	SRPWM0 _B	-	-
GPIO3 2	I2C0_S DA	-	SPIM1_C LK	-	SRPWM7 _B	-	SDFM0_ DATA2	-	CANFD0 _TX	-	-	-
GPIO3 3	I2C0_S CL	-	SPIM1_C S0_n	ETIMER1	OUTXBA R3	-	SDFM0_ CLK2	-	CANFD0 _RX	EQEP1_B	-	SDFM0_ CLK1
GPIO3 4	OUTXB AR0	-	-	SRPWM2 _B	-	I2C0_SD A	-	-	-	-	-	I2C1_SD A
GPIO3 5	UART0 _RX	-	I2C0_SD A	ECAP1	CANFD0_ RX	I2C0_SCL	-	EQEP0_A	I2C0_CT L_n	SRPWM4 _B	SDFM1_ CLK1	-
GPIO3 7	OUTXB AR1	-	I2C0_SC L	ECAP0	UART0_T X	CANFD0_ TX	-	EQEP0_B	I2C0_AL ERT_n	-	-	-

Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode9	Mode10	Mode11	Mode13	Mode14
GPIO3 9	-	-	SPIM2_ MOSI	ECAP6	-	-	-	-	-	-	-	EQEP0_I NDEX
GPIO4 0	SPIM1_ MOSI	SPIS0_MI SO	-	SPIM0_M ISO	SRPWM1 _B	I2C0_SD A	-	UART1_T X	EQEP0_ A	-	-	-
GPIO4 1	-	-	-	SPIM2_C LK	SRPWM1 _A	I2C0_SCL	-	UART1_R X	EQEP0_ B	-	-	SPIM1_ MISO
GPIO4 2	-	-	SPIM2_ MISO	EQEP0_A	-	ETIMER7	OUTXBA R9	I2C0_SD A	-	-	-	-
GPIO4 3	-	-	SPIM2_C LK	ECAP2	-	-	OUTXBA R8	I2C0_SCL	EQEP0_I NDEX	-	-	-
GPIO4 4	-	SPIM0_C S3_n	OUTXB AR6	SPIM2_C S0_n	EQEP0_A	I2C0_SD A	-	I2C0_CTL _n	-	-	-	-
GPIO4 5	-	-	I2C1_AL ERT_n	OUTXBA R9	ECAP9	-	-	I2C0_ALE RT_n	-	-	SDFM1_ CLK3	-
GPIO4 6	-	-	-	UART1_R X	I2C1_CTL _n	CANFD1_ TX	-	I2C0_SD A	-	-	SDFM1_ CLK4	-
GPIO4 7	-	-	-	-	CANFD1_ RX	-	-	I2C0_SCL	-	-	SDFM1_ DATA4	-
GPIO4 8	OUTXB AR2	-	CANFD0 _TX	-	-	UART0_T X	SDFM0_ DATA1	I2C0_SD A	-	-	-	-
GPIO4 9	OUTXB AR3	SPIS0_CL K	CANFD0 _RX	SPIM0_C LK	-	UART0_R X	SDFM0_ CLK1	-	-	-	SDFM1_ DATA1	-
GPIO5 0	EQEP0_ A	-	-	UART0_R X	CANFD1_ TX	SPIM1_M OSI	SDFM0_ DATA2	I2C1_SD A	-	-	SDFM1_ DATA2	-
GPIO5	EQEP0_ A	-	-	UART0_T	CANFD1_ TX	SPIM1_M	SDFM0_ DATA2	I2C1_SCL	-	-	SDFM1_ DATA2	-

Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode9	Mode10	Mode11	Mode13	Mode14
1	B			X	RX	ISO	CLK2				DATA3	
GPIO5 2	EQEP0_ STROB E	-	-	SPIM1_C LK	-	-	SDFM0_ DATA3	SYNCOU T	-	-	SDFM1_ DATA4	-
GPIO5 3	EQEP0_ INDEX	-	I2C1_CT L_n	SPIM1_M OSI	-	SPIM1_C S0_n	SDFM0_ CLK3	-	CANFD0 _RX	-	SDFM0_ CLK1	-
GPIO5 4	SPIM0_ MOSI	-	I2C1_AL ERT_n	SPIM1_M ISO	EQEP1_A	OUTXBA R1	SDFM0_ DATA4	-	-	-	SDFM0_ CLK2	-
GPIO5 5	SPIM0_ MISO	-	-	SRPWM9 _A	EQEP1_B	OUTXBA R2	SDFM0_ CLK4	-	-	-	SDFM0_ CLK3	-
GPIO5 6	SPIM0_ CLK	-	CANFD1 _TX	ECAP3	EQEP1_S TROBE	UART1_T X	SDFM1_ DATA1	SPIM1_M OSI	I2C0_SD A	EQEP0_A	SDFM0_ CLK4	-
GPIO5 7	SPIM0_ CS0_n	-	CANFD1 _RX	ECAP4	EQEP1_I NDEX	UART1_R X	SDFM1_ CLK1	SPIM1_M ISO	I2C0_SC L	EQEP0_B	-	-
GPIO5 8	-	-	-	ECAP5	OUTXBA R0	SPIM1_C LK	SDFM1_ DATA2	-	CANFD0 _TX	EQEP0_S TROBE	SDFM1_ CLK2	-
GPIO5 9	-	-	-	SRPWM1 _B	OUTXBA R1	SPIM1_C S0_n	SDFM1_ CLK2	-	CANFD0 _RX	EQEP0_I NDEX	SDFM1_ CLK3	-
GPIO6 0	-	-	CANFD1 _TX	SRPWM9 _B	OUTXBA R2	SPIM1_M OSI	SDFM1_ DATA3	-	-	-	SDFM1_ CLK4	-
GPIO6 1	-	-	CANFD1 _RX	SRPWM1 _A	OUTXBA R3	SPIM1_M ISO	SDFM1_ CLK3	-	-	-	-	CANFD0 _RX
GPIO6 2	-	-	-	EQEP0_I NDEX	-	ETIMER9	OUTXBA R10	-	-	-	-	-
GPIO6	-	-	-	SPIM2_C	-	-	-	-	-	-	-	-

Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode9	Mode10	Mode11	Mode13	Mode14
3				LK								
GPIO6 4	-	-	-	SRPWM8 _A	I2C1_CTL _n	-	-	-	-	-	-	-
GPIO6 5	-	-	-	EQEP0_B	-	ETIMER8	OUTXB A R12	-	-	-	-	-
GPIO6 6	-	-	-	SPIM0_C S0_n	-	-	OUTXB A R9	-	-	-	-	-
GPIO6 7	-	-	-	SPIM1_C S0_n	CANFD1_ TX	I2C1_CTL _n	OUTXB A R12	-	-	-	-	-
GPIO6 8	-	-	-	SPIM2_M OSI	SPIM1_C S3_n	ETIMER1 1	-	-	-	-	-	-
GPIO6 9	-	-	-	SPIM2_M ISO	SPIM0_C S2_n	ETIMER1 2	-	-	-	-	-	-
GPIO7 0	-	-	-	SPIM2_C S0_n	SPIM0_C S3_n	ETIMER1 3	OUTXB A R13	-	-	-	-	-
GPIO7 1	-	-	-	EQEP0_I NDEX	ECAP13	ETIMER1 3	-	-	-	-	-	-
GPIO7 2	-	-	-	SRPWM6 _A	-	-	-	-	-	-	-	-
GPIO7 3	-	-	-	SRPWM7 _A	-	-	-	-	-	-	-	-
GPIO7 4	-	-	-	SRPWM6 _B	-	-	-	-	-	-	-	-
GPIO7 5	-	-	-	SRPWM7 _B	-	-	-	-	-	-	-	-

Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode9	Mode10	Mode11	Mode13	Mode14
GPIO7 6	-	-	-	SPIM0_M OSI	CANFD0_ TX	-	-	-	-	-	-	-
GPIO7 7	-	-	-	SPIM0_M ISO	CANFD0_ RX	-	-	-	-	-	-	-
GPIO7 8	-	-	-	SPIM1_C S1_n	CANFD1_ RX	I2C1_ALE RT_n	OUTXBA R10	-	-	-	-	-
GPIO7 9	-	-	-	SPIM1_C S2_n	SPIM0_C S1_n	ETIMER1 0	OUTXBA R11	-	-	-	-	-
GPIO8 0	-	-	-	SRPWM8 _B	I2C1_ALE RT_n	-	-	-	-	-	-	-
GPIO8 1	-	-	SPIM2_C LK	OUTXBA R8	ECAP8	-	-	-	-	-	-	-
GPIO8 2	-	-	-	EQEP0_S TROBE	ECAP7	-	-	-	-	-	-	-
GPIO8 3	-	-	-	EQEP0_S TROBE	ECAP10	ETIMER1 0	OUTXBA R11	-	-	-	-	-
GPIO8 4	-	-	-	EQEP0_A	ECAP11	ETIMER1 1	-	-	-	-	-	-
GPIO8 5	-	-	-	EQEP0_B	ECAP12	ETIMER1 2	-	-	-	-	-	-

4.5 内部上拉和下拉的引脚

下表列出了封装管脚及内部上/下拉情况。

表 4-7 封装及内部上下拉表

引脚名	LQFP144	LQFP128	LQFP100	LQFP80	Mode0
HWRST_n	Y	Y	Y	Y	PU
SWCLK	Y	Y	Y	Y	PU
SWDIO	Y	Y	Y	Y	PU
GPIO32	Y	Y	Y	Y	NC, 浮空处理
GPIO24	Y	Y	Y	Y	NC, 浮空处理
GPIO47	Y	Y	Y	N	NC, 浮空处理
GPIO48	Y	Y	Y	N	NC, 浮空处理
GPIO51	Y	Y	Y	N	NC, 浮空处理
GPIO50	Y	Y	Y	N	NC, 浮空处理
GPIO28	Y	Y	Y	Y	NC, 浮空处理
GPIO46	Y	Y	N	Y	NC, 浮空处理
GPIO49	Y	Y	Y	N	NC, 浮空处理
GPIO76	Y	Y	N	N	NC, 浮空处理
GPIO77	Y	Y	N	N	NC, 浮空处理
GPIO66	Y	Y	N	N	NC, 浮空处理
GPIO52	Y	Y	Y	N	NC, 浮空处理
GPIO53	Y	Y	Y	N	NC, 浮空处理
GPIO54	Y	Y	Y	N	NC, 浮空处理
GPIO67	Y	Y	N	N	NC, 浮空处理
GPIO78	Y	Y	N	N	NC, 浮空处理
GPIO79	Y	Y	N	N	NC, 浮空处理
GPIO63	Y	Y	N	N	NC, 浮空处理
GPIO68	Y	Y	N	N	NC, 浮空处理
GPIO69	Y	Y	N	N	NC, 浮空处理
GPIO70	Y	Y	N	N	NC, 浮空处理
GPIO8	Y	Y	Y	Y	NC, 浮空处理
GPIO4	Y	Y	Y	Y	NC, 浮空处理
GPIO3	Y	Y	Y	Y	NC, 浮空处理
GPIO2	Y	Y	Y	Y	NC, 浮空处理
GPIO1	Y	Y	Y	Y	NC, 浮空处理
GPIO0	Y	Y	Y	Y	NC, 浮空处理
GPIO40	Y	Y	Y	Y	NC, 浮空处理
GPIO23	Y	Y	Y	Y	NC, 浮空处理
GPIO41	Y	Y	Y	Y	NC, 浮空处理
GPIO22	Y	Y	Y	Y	NC, 浮空处理
GPIO7	Y	Y	Y	Y	NC, 浮空处理

引脚名	LQFP144	LQFP128	LQFP100	LQFP80	Mode0
GPIO44	Y	Y	Y	Y	NC, 浮空处理
GPIO5	Y	Y	Y	Y	NC, 浮空处理
GPIO9	Y	Y	Y	Y	NC, 浮空处理
GPIO61	Y	Y	Y	N	NC, 浮空处理
GPIO59	Y	Y	Y	N	NC, 浮空处理
GPIO10	Y	Y	Y	Y	NC, 浮空处理
GPIO34	Y	Y	Y	Y	NC, 浮空处理
GPIO15	Y	Y	Y	Y	NC, 浮空处理
GPIO14	Y	Y	Y	Y	NC, 浮空处理
GPIO6	Y	Y	Y	Y	NC, 浮空处理
GPIO30	Y	Y	Y	Y	NC, 浮空处理
GPIO31	Y	Y	Y	Y	NC, 浮空处理
GPIO29	Y	Y	Y	Y	NC, 浮空处理
GPIO72	Y	Y	N	N	NC, 浮空处理
GPIO74	Y	Y	N	N	NC, 浮空处理
GPIO73	Y	Y	N	N	NC, 浮空处理
GPIO75	Y	Y	N	N	NC, 浮空处理
GPIO64	Y	Y	N	N	NC, 浮空处理
GPIO80	Y	Y	N	N	NC, 浮空处理
GPIO55	Y	Y	Y	N	NC, 浮空处理
GPIO60	Y	Y	Y	N	NC, 浮空处理
GPIO20	Y	Y	Y	Y	NC, 浮空处理
GPIO21	Y	Y	Y	Y	NC, 浮空处理
GPIO13	Y	Y	Y	Y	NC, 浮空处理
GPIO12	Y	Y	Y	Y	NC, 浮空处理
GPIO11	Y	Y	Y	Y	NC, 浮空处理
GPIO33	Y	Y	Y	Y	NC, 浮空处理
GPIO16	Y	Y	Y	Y	NC, 浮空处理
GPIO17	Y	Y	Y	Y	NC, 浮空处理
GPIO25	Y	Y	Y	Y	NC, 浮空处理
GPIO26	Y	Y	Y	Y	NC, 浮空处理
GPIO27	Y	Y	Y	Y	NC, 浮空处理
GPIO37	Y	Y	Y	Y	NC, 浮空处理
GPIO35	Y	Y	Y	Y	NC, 浮空处理
GPIO43	Y	Y	N	Y	NC, 浮空处理
GPIO56	Y	Y	Y	N	NC, 浮空处理
GPIO57	Y	Y	Y	N	NC, 浮空处理
GPIO58	Y	Y	Y	N	NC, 浮空处理
GPIO39	Y	Y	N	Y	NC, 浮空处理
GPIO42	Y	Y	N	Y	NC, 浮空处理
GPIO65	Y	Y	N	N	NC, 浮空处理
GPIO62	Y	Y	N	N	NC, 浮空处理

引脚名	LQFP144	LQFP128	LQFP100	LQFP80	Mode0
GPIO83	Y	N	N	N	NC, 浮空处理
GPIO84	Y	N	N	N	NC, 浮空处理
GPIO85	Y	N	N	N	NC, 浮空处理
GPIO71	Y	N	N	N	NC, 浮空处理
GPIO82	Y	N	N	N	NC, 浮空处理
GPIO81	Y	N	N	N	NC, 浮空处理
GPIO45	Y	Y	N	Y	NC, 浮空处理

说明

- Y: 代表该封装模式下该引脚引出;
- N: 代表该封装模式下该引脚未引出;
- PD: pull-down, 代表内部下拉;
- PU: pull-up, 代表内部上拉;
- 表中 NC 代表 Not Connected, 是空脚。

表 4-8 上拉或下拉有效管脚的内部阻值

内部电阻	条件	最小值	标准值	最大值
Rpu	Vin = 0 V	12.5 kΩ	18.4 kΩ	30 kΩ
Rpd	Vin = VDDIO_*(1)	15.1 kΩ	23 kΩ	40.4 kΩ

说明

- (1) $VDDIO_* = VDDIO_LEFTVDDIO_BOTLEFT/VDDIO_TOPLEFT/VDDIO_TOPRIGHT$, 该值为 3.3V。

4.6 未使用管脚的处理方式

在实际应用中, 会有部分管脚不使用的情况, 下表提供了对应的处理方式。

表 4-9 未使用管脚处理方式

管脚名称	未使用时处理方式
模拟管脚	
REGUENZ	• 使用片内 SYSLDO 供电时, REGUENZ 连接至 VSS; • 使用片外电源方式供电时, REGUENZ 连接至 VDDIO;
XTAL_OUT	晶体输入模式输出端口: • 晶体输入模式下 XTAL_OUT 与 XTAL_IN 与片外晶体互联; • 单端输入模式下 XTAL_IN 作为输入口, 输入 0~3.3 V 时钟, XTAL_OUT 浮空; 使用片内 HSI 作为参考时钟时, XTAL_OUT 浮空。
XTAL_IN	晶体输入模式或单端输入模式时钟输入端口:

管脚名称	未使用时处理方式
	- 晶体输入模式下 XTAL_IN 与 XTAL_OUT 与片外晶体互联； - 单端输入模式下 XTAL_IN 作为输入口，输入 0~3.3 V 时钟，XTAL_OUT 浮空； 使用片内 HSI 作为参考时钟时，XTAL_IN 下拉，阻值推荐 4.7 kΩ。
带 SARx 的 ADC 模拟输入管脚	浮空
带有 DACx 的模拟输入管脚	浮空
VREFHx	浮空
VREFLOx	连接到 VSSA
数字管脚	
GPIOxx	输入模式下： - 内部上拉或下拉启用时：浮空 - 内部上拉或下拉禁用时：板级上拉或下拉，阻值建议 4.7 kΩ 或 10 kΩ 输出模式下：浮空
GPIO32	上电时必须保持上拉，阻值推荐使用 4.7 kΩ 或 10 kΩ，待 POR 解复位锁存 GPIO 状态后，可以设置为输入或输出模式。
GPIO24	默认状态配置详见芯片启动模式章节，阻值推荐使用 4.7 kΩ 或 10 kΩ，待 POR 解复位锁存 GPIO 状态后，可以设置为输入或输出模式。
电源/地管脚	
DVDD	DVDD 选择内部 SYSLDO 供电时，所有 DVDD 引脚都应连接在一起；DVDD 选择外部供电时，所有 DVDD 引脚全部连接到同一个外部供电 ⁽¹⁾ 。
VDDIO	PCB 上连接至 3.3 V 电源 ⁽¹⁾ 。
VDDA	PCB 上连接至 3.3 V 电源时，推荐使用磁珠或者电感连接到 VDDA ⁽¹⁾ 。
VSS	PCB 推荐保留完整地平面连接到 GND ⁽¹⁾ 。
VSSA	PCB 推荐保留完整地平面连接到 GND ⁽¹⁾ 。



说明

(1) DVDD 使用内部电源供电时，电源地推荐引脚连接关系示意图见下图。

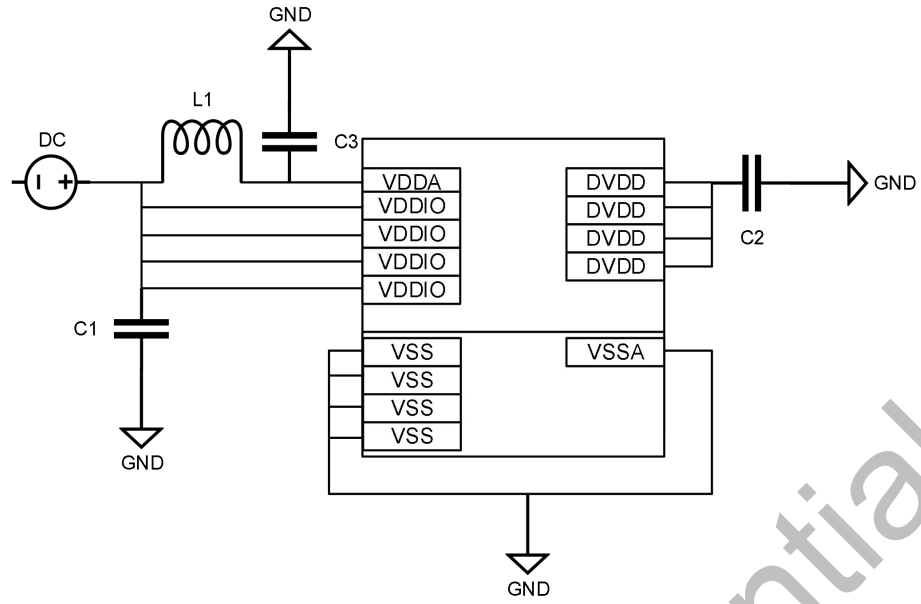


图 4-5 电源地推荐工作引脚连接关系示意图

5

芯片规格

5.1 绝对最大额定值

以下值在自然通风环境温度范围内测得 (除非另有说明)。

		最小值	最大值	单位
电源电压	VDDIO 以 VSS 为基准	-0.3	4.6	V
	VDDA 以 VSSA 为基准	-0.3	4.6	
	VDD 以 VSS 为基准	-0.3	1.5	
输入钳位电流	模拟输入 (每引脚), $I_{IKANALOG}(V_{IN} < VSSA \text{ 或 } V_{IN} > VDDA)$	50	50	mA
	数字输入总计, $I_{IKDigital}(V_{IN} < VSS/VSSA \text{ 或 } V_{IN} > VDDIO/VDDA)$	50	50	
自然通风环境温度	T_A	-40	105	°C
工作结温	T_J	-40	125	°C
存储温度	T_{stg}	-40	150	°C

注意

- 实际应用中, 如果超出绝对最大额定值可能会对设备造成永久性损坏。
- 上述指标仅作为应力额定值, 并非表明设备可以在上述条件下正常运行。长时间工作在最大额定值下可能会影响设备可靠性。
- 除非另有说明, 所有电压值以 VSS 为基准。
- 长期高温储存或在最高温度条件下长时间运行可能会降低设备的整体寿命。

5.2 ESD 等级

		取值	单位
LQFP144 封装			
V(ESD)	人体放电模式 (Human-body model, HBM) , 符合 ANSI/ESDA/JEDEC JS-001 标准	±2000	V
	器件充电模式 (Charged-device model, CDM) , 符合 JEDEC 规范 JESD22-C101 或者 ANSI/ESDA/JEDEC JS-002	±500	
LQFP128 封装			
V(ESD)	人体放电模式 (Human-body model, HBM) , 符合 ANSI/ESDA/JEDEC JS-001 标准	±2000	

		取值	单位
	器件充电模式 (Charged-device model, CDM), 符合 JEDEC 规范 JESD22-C101 或者 ANSI/ESDA/JEDEC JS-002	±500	V
LQFP100 封装			
V(ESD)	人体放电模式 (Human-body model, HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准	±2000	
	器件充电模式 (Charged-device model, CDM), 符合 JEDEC 规范 JESD22-C101 或者 ANSI/ESDA/JEDEC JS-002	±500	V
LQFP80 封装			
V(ESD)	人体放电模式 (Human-body model, HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准	±2000	
	器件充电模式 (Charged-device model, CDM), 符合 JEDEC 规范 JESD22-C101 或者 ANSI/ESDA/JEDEC JS-002	±500	V

5.3 推荐工作条件

表 5-1 推荐工作条件

		最小值	标称值	最大值	单位
设备电源电压, VDDIO 和 VDDA	启用内部 BOR ⁽²⁾	2.97	3.3	3.63	V
设备电源电压, DVDD		0.99	1.1	1.21	V
设备接地, VSS			0		V
模拟接地, VSSA			0		V
SR _{SUPPLY}	VDDIO、VDDA	2		100	mV/μS
	VDD_EXT	1		100	mV/μS
t _{VDDIO-RAMP}	VDDIO 电源斜坡时间				ms
结温, T _J		-40		125	°C
自然通风环境温度, T _A		-40		105	°C

说明

- (1) 在结温 (T_J) 超过 125°C 以上的环境下长期运行将降低设备的使用寿命。
- (2) 内部 BOR 默认启用。

5.4 功耗概述

本小节中列出的电流值仅代表在给定测试条件下的值, 并非最大值。实际应用中的功耗随应用代码和引脚配置的不同而变化。

5.4.1 "系统电流消耗 (外部电源)"列出了使用外部电源时的系统电流消耗值。

5.4.2 "系统电流消耗 (内部电源)"列出了使用内部电源时的系统电流消耗值。

5.4.1 系统电流消耗 (外部电源)

如下参数值在自然通风环境温度范围内测得 (除非另有说明)。

$T_{nom}=30^{\circ}\text{C}$

参数	测试条件	最小值	典型值	最大值	单位
运行模式					
I _{DD}	设备处于运行模式期间的 DVDD 电流消耗 ⁽¹⁾	PLL, 总线, 系统时钟等正常运行			mA
I _{DDIO}	设备处于运行模式期间的 VDDIO 电流消耗				mA
I _{DDA}	设备处于运行模式期间的 VDDA 电流消耗				mA
待机模式					
I _{DD}	设备处于待机模式时的 VDD 电流消耗 ⁽¹⁾	- CPU 进入 WFI - 系统时钟工作正常			mA
I _{DDIO}	设备处于待机模式时的 VDDIO 电流消耗				mA
I _{DDA}	设备处于待机模式时的 VDDA 电流消耗				mA
空闲模式					
I _{DD}	设备处于空闲模式时的 VDD 电流消耗 ⁽¹⁾	- CPU 进入 WFI - 关闭 PLL, 系统时钟工作在 25M 下			mA
I _{DDIO}	设备处于空闲模式时的 VDDIO 电流消耗				mA
I _{DDA}	设备处于空闲模式时的 VDDA 电流消耗				mA
Flash 擦除/编程					
I _{DD}	擦除 / 编程期间的 DVDD 电流消耗 ⁽¹⁾⁽²⁾	- CPU 从 Flash 启动, 对未用扇区执行擦除/编程 - FLASH 时钟工作频率为 50 MHz - 外设时钟关闭 - 模拟 AFE 关闭			mA
I _{DDIO}	擦除 / 编程期间的 VDDIO 电流消耗 ⁽²⁾				mA
I _{DDA}	擦除 / 编程期间的 VDDA 电流消耗				mA

说明

- (1) 当 VDD 由外部电源供电时, IDD 电流可以单独测量。
- (2) Flash 编程期间如果发生电压欠压, 可能会损坏 Flash 数据并永久锁死设备。建议合理配置备用电源 (如 USB 编程器) 预留电压裕量, 避免电源欠压。

5.4.2 系统电流消耗 (内部电源)

如下参数值在自然通风环境温度范围内测得 (除非另有说明)。

$T_{nom}=30^{\circ}\text{C}$

参数	测试条件	最小值	典型值	最大值	单位
运行模式					
I_{DDIO} 设备处于运行模式期间的 VDDIO 电流消耗	PLL，总线，系统时钟等正常运行				mA
I_{DDA} 设备处于运行模式期间的 VDDA 电流消耗					mA
空闲模式					
I_{DDIO} 设备处于空闲模式时的 VDDIO 电流消耗	- CPU 进入 WFI - 系统时钟工作正常				mA
I_{DDA} 设备处于空闲模式时的 VDDA 电流消耗					mA
停机模式					
I_{DDIO} 设备处于停机模式时的 VDDIO 电流消耗	- CPU 进入 WFI - 关闭 PLL，系统时钟工作在 25M 下				mA
I_{DDA} 设备处于停机模式时的 VDDA 电流消耗					mA
Flash 擦除/编程					
I_{DDIO} 擦除/编程期间的 VDDIO 电流消耗 ⁽¹⁾	- CPU 从 Flash 启动，对未用扇区执行擦除/编程 - FLASH 时钟工作频率为 50 MHz - 外设时钟关闭 - 模拟 AFE 关闭				mA
I_{DDA} 擦除/编程期间的 VDDA 电流消耗					mA

说明

- (1) Flash 编程期间如果发生电压欠压, 可能会损坏 Flash 数据并永久锁死设备。建议合理配置备用电源 (如 USB 编程器) 预留电压裕量, 避免电源欠压。

5.5 电气特性

如下参数在 5.3 "推荐工作条件" 章节所列推荐条件下测得。

参数			测试条件	最小值	典型值	最大值	单位
数字和模拟 I/O							
V _{OH}	高电平输出电压		I _{OH} = I _{OH} MIN	2.4 V			V
			I _{OH} = -100 μA	TBD			
V _{OL}	低电平输出电压		I _{OL} = I _{OL} MAX			0.4	V
			I _{OL} = 100 μA	TBD			
I _{OH}	所有输出引脚的高电平输出拉电流		依赖于软件配置驱动力	5.8		27.3	mA
I _{OL}	所有输出引脚的低电平输出灌电流		依赖于软件配置驱动力	4.7		23.6	mA
R _{OH}	所有输出引脚的高电平输出阻抗		依赖于软件配置驱动力		33.6		kΩ
R _{OL}	所有输出引脚的低电平输出阻抗		依赖于软件配置驱动力		46.4		kΩ
V _{IH}	高电平输入电压 (3.3 V)			2		VDDIO + 0.3	V
V _{IL}	低电平输入电压 (3.3 V)			VSS - 0.3		0.8	V
V _{HYSTERESIS}	输入迟滞				200		mV
I _{PULLDOWN}	输入电流	下拉输入	VDDIO = 3.3 V				μA
			V _{IN} = VDDIO				
I _{PULLUP}	输入电流	上拉数字输入	VDDIO = 3.3 V				μA
			V _{IN} = 0 V				
		上拉模拟输入	VDDA = 3.3 V				
			V _{IN} = 0 V				
I _{LEAK}	引脚漏	GPIO	上拉和输出禁用	0.01			μA

参数			测试条件	最小值	典型值	最大值	单位
	电流		$0\text{ V} \leq V_{\text{IN}} \leq V_{\text{DDIO}}$				
C_{I}	输入电容	GPIO					pF
VREG, DC-DC 和 BOR							
$V_{\text{POR-VDDIO}}$	VDDIO 上电复位电压				2.8		V
$V_{\text{BOR-VDDIO}}$	VDDIO 欠压复位电压				2.89		V
V_{VREG}	内部稳压器输出	内部 VREG 开启	1.1 (可调)				V

5.6 热阻特性

ETM7F60020PE2I (80-pin LQFP 封装) 的热阻特性如下表所示。

表 5-2 ETM7F60020PE2I (80-pin LQFP 封装) 的热阻特性

热阻参数	°C/W	气流 (m/s)
θ_{JC} 结壳热阻 (Junction-to-case thermal resistance)	13.6	N/A
θ_{JB} 结板热阻 (Junction-to-board thermal resistance)	33.7	N/A
θ_{JA} 结至环境热阻 (Junction-to-free air thermal resistance)	39.0	0

ETM7F60020PV2I (100-pin LQFP 封装) 的热阻特性如下表所示。

表 5-3 ETM7F60020PV2I (100-pin LQFP 封装) 的热阻特性

热阻参数	°C/W	气流 (m/s)
θ_{JC} 结壳热阻 (Junction-to-case thermal resistance)	13.6	N/A
θ_{JB} 结板热阻 (Junction-to-board thermal resistance)	32.8	N/A
θ_{JA} 结至环境热阻 (Junction-to-free air thermal resistance)	37.2	0

ETM7F60020PY2I (128-pin LQFP 封装) 的热阻特性如下表所示。

表 5-4 ETM7F60020PY2I (128-pin LQFP 封装) 的热阻特性

热阻参数	°C/W	气流 (m/s)
θ_{JC} 结壳热阻 (Junction-to-case thermal resistance)	11.6	N/A
θ_{JB} 结板热阻 (Junction-to-board thermal resistance)	30.3	N/A
θ_{JA} 结至环境热阻 (Junction-to-free air thermal resistance)	33.6	0

ETM7F60020PZ2I (144-pin LQFP 封装) 的热阻特性如下表所示。

表 5-5 ETM7F60020PZ2I (144-pin LQFP 封装) 的热阻特性

热阻参数	°C/W	气流 (m/s)
θ_{JC} 结壳热阻 (Junction-to-case thermal resistance)		N/A

热阻参数	°C/W	气流 (m/s)
θ_{JB} 结板热阻 (Junction-to-board thermal resistance)		N/A
θ_{JA} 结至环境热阻 (Junction-to-free air thermal resistance)		0

说明

以上热阻参数值基于 JEDEC 标准的 2S2P 系统。

5.7 芯片系统

5.7.1 电源管理单元 (PMU)

ET6002 芯片可通过如下 2 种方式为 DVDD 管脚提供 1.1 V 电压：

- 外部提供 DVDD 电压
- 内部低压差线性稳压器 (LDO) 提供 DVDD 电压

5.7.1.2 内部低压差线性稳压器 (LDO)

VDDIO 电源给内部 LDO 供电，该 LDO 用于产生 1.1 V 电源给 DVDD。如果需要使用该 LDO，需要将 REGUENZ 管脚下拉到 VSS，并且 LDO 的输出管脚需要添加负载电容以保证 LDO 的稳定性。

使用内部 LDO 时，推荐如下 2 种方式在 DVDD 管脚处添加到 VSS 的负载电容：

- **方式一：**在尽可能靠近芯片设备的各 DVDD 管脚处添加一个到 VSS 的小去耦电容，同时还需要在靠近 LDO 输出的 DVDD 管脚处添加大容量电容（一个 20 μ F 电容或两个并联的 10 μ F 电容）到 VSS。
- **方式二：**在所有 DVDD 管脚上将总电容平均到 VSS（总电容除以 DVDD 管脚数）。

5.7.1.2.2 推荐外部组件

			最小值	典型值	最大值	单位
C_{VDDIO}	每个引脚的 VDDIO 电容	基于片外供电需求	0.1			μ F
C_{VDDA}	每个引脚的 VDDA 电容		2.2			μ F
C_{DVDD}	总 DVDD 电容	LDO 稳压器需求	10	20		μ F
C_{DVDD_DECAP}	每个引脚的 DVDD 去耦电容	LDO 稳压器需求	0.1			μ F

说明

C_{VDDIO} 、 C_{VDDA} 、 C_{DVDD} 、 C_{DVDD_DECAP} 各电容靠近器件引脚放置至关重要。

5.7.1.3 电源时序

- **信号管脚需求:** 芯片上电前, 任何数字引脚的电压不能比 VDDIO 高 0.3 V 以上的电压或比 VSS 低 0.3 V 以上的电压, 也不得对任何模拟引脚 (包括 VREFHx 和 VDAC) 施加比 VDDA 高 0.3 V 以上的电压或比 VSSA 低 0.3 V 以上的电压。
- **VDDIO 和 VDDA 需求:** VDDIO 和 VDDA 都为 3.3 V 电压域, 建议这两个 3.3 V 电源同时上电。
- **DVDD 需求:** 当 REGUENZ 管脚下拉到地, DVDD 由片内 LDO 供电; 当 REGUENZ 管脚上拉至 VDDIO, DVDD 为片外电源供电。VDDIO 和 DVDD 需要保证同时上电和下电。

5.7.1.4 上电复位

在芯片处于上电状态中, 内部的上电复位电路保持内部器件处于复位状态, 并保持所有的 I/O 为高阻抗态。

在 VDDIO 电压和 DVDD 电压上升到复位电压阈值前, 上电复位电路处于控制状态, 保持其输出为低。

当 VDDIO 电压和 DVDD 电压达到复位电压阈值时, 内部的复位电路开始工作。

5.7.1.5 电压检测

内部的电压检测电路提供丰富的电压检测功能, 针对 VDDIO 电源域和数字 Core 的 DVDD 电源域, 都有完备的欠压检测和过压检测功能。通过电压检测电路能判断电源的工作范围, 若超出正常工作范围, 能给出指示信号供系统判断。该功能默认关闭, 可根据需求配置寄存器进行模块使能。

5.7.2 复位

共有三种类型的复位, 分别为系统复位、电源复位、模块级软件复位。

5.7.2.1 系统复位

系统复位将复位除 Power-on 复位域的其他所有寄存器, 当发生以下任一事件时, 将产生一个系统复位:

- HWRST_n 引脚上的低电平 (外部硬件复位)
- 两个看门狗请求复位 (WDG 复位)
- 一个 CPU 请求复位 (CPU 复位)
- 全局软件复位 (内部软件复位)

可通过查看 SYSCTRL 模块中的复位状态寄存器 (RST_REC) 来识别复位事件的来源。

5.7.2.1.1 引脚复位

芯片具有一个独立的复位引脚 HWRST_n，默认上拉，拉低该引脚将引起系统复位。

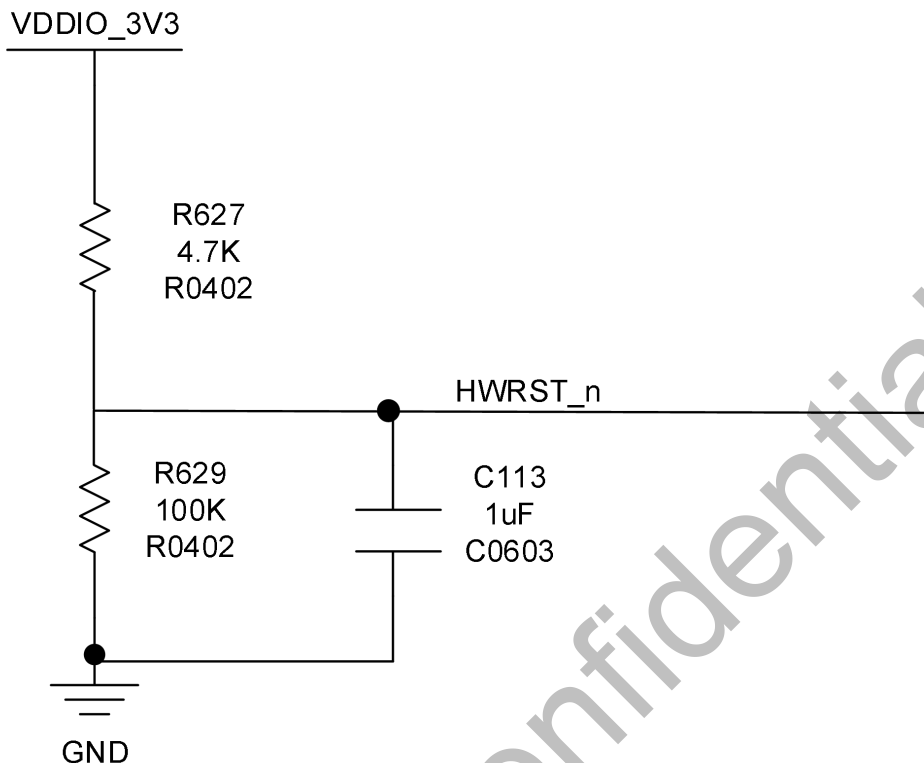


图 5-2 RC 复位参考电路

说明

芯片上电启动时，需要引脚提供一个复位有效的低电平，在 3.3 V 上电稳定后，HWRST_n 保持低电平持续时间大于 1 μ S。如上图所示，可在芯片 HWRST_n 引脚采用 RC (R627、C113) 复位电路实现。R627 推荐值 4.7 K，C113 推荐值 1 μ F。

5.7.2.1.2 看门狗请求复位

芯片 2 个看门狗可独立发起复位请求 (高电平有效)，将引起系统复位。

5.7.2.1.3 CPU 请求复位

1 个 CPU 可独立发起复位请求 (高电平有效)。

复位模式可配置为全局复位 (将 SYSCTRL 请求模式寄存器 (CFG_SYSC_CPU0) 第 0 位设置为 0) 或只复位 CPU 本身 (将 SYSCTRL 请求模式寄存器 (CFG_SYSC_CPU0) 第 0 位设置为 1)。

5.7.2.1.4 全局软件复位

全局软件复位可通过向 SYSCTRL 模块的全局软件复位寄存器 (CFG_SYSC2CRG) 写入固定值 (0X45670123) 来产生，同时将引起系统复位。

5.7.2.2 电源复位

5.7.2.2.1 上电复位

芯片内部有一个完整的上电复位 (POR) 电路, 当供电电压达到系统指定的限定电压时, 系统将解除上电复位。电源复位将复位所有寄存器。

5.7.2.3 模块级软件复位

芯片支持为外设模块提供模块级软件复位控制, 具体参见《ET6002-用户手册》中 CRG 模块寄存器 `CFG_CRG_SRST0/1/2/3` 的描述。



除 (CAN、UART、I2C、SPI、CORDIC、CRC、AES、QEP) 外, 其余模块的模块级软件复位仅支持在线解复位, 不支持在线复位。

5.7.3 时钟

本章节主要介绍 ET6002 芯片的时钟树特性。ET6002 的系统时钟树拓扑如图 5-2 所示。通过合理的配置时钟链路上分频器系数、时钟路由选择以及使能控制信号, 可以为业务需求适配灵活的时钟拓扑。

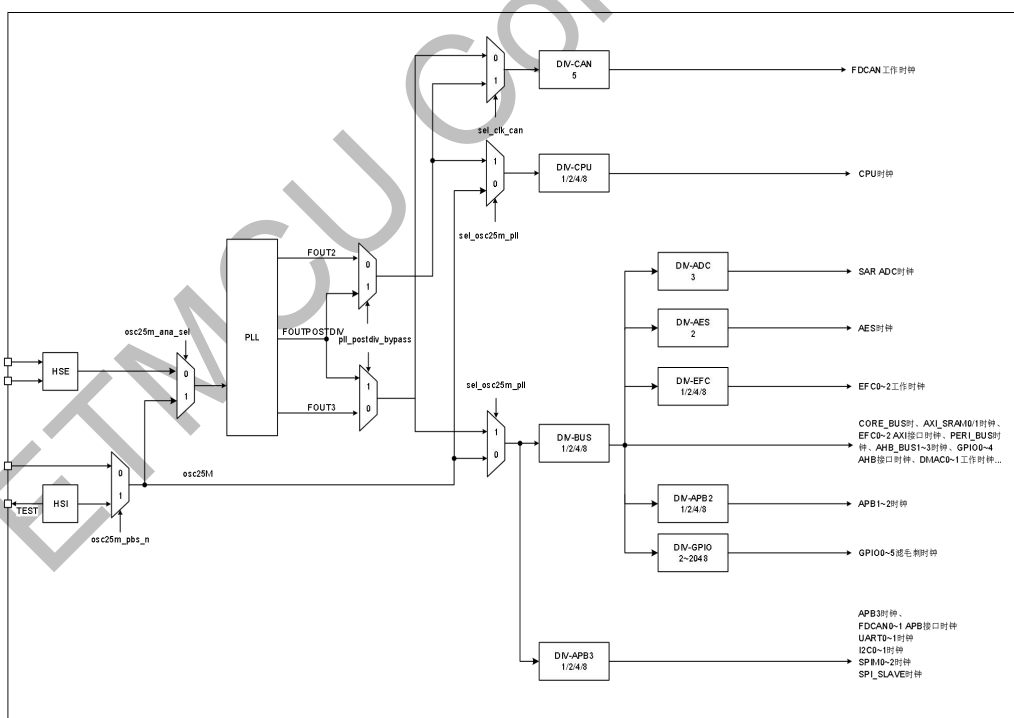


图 5-3 系统时钟网络

5.7.3.1 时钟源

ET6002 芯片内部包含 1 个 RC 振荡器 (HSI), 1 个既可以支持晶体振荡器模式又可以支

持单端时钟模式的 HSE。片内还集成了一路独立锁相环 (PLL)，其输入参考时钟频率支持 8 MHz 到 50 MHz，其输出时钟频率支持 8 MHz 到 1200 MHz 可配置选择。

系统时钟参考源，如表 5-6 所示。

表 5-6 时钟参考源

时钟源	时钟功能	描述
High Speed Internal OSC (HSI)	SYSCNT 时钟; CPU 时钟;	高速内部荡器: 不占用芯片管脚资源; 25 MHz, 占空比 50%;
High Speed External OSC (HSE)	Main PLL 参考时钟; SYSCNT 备选时钟;	晶体振荡器: - 支持晶体模式。XIN 和 XOUT 分别为输入、输出管脚; - 支持单端时钟模式。XIN 为输入管脚, XOUT 浮空;

5.7.3.2 High Speed Internal OSC (HSI)

HSI 是 ET6002 芯片内部高速 RC 振荡器，其提供的时钟频率为 25 MHz。HSI 时钟由 POR 域控制，不可关闭。该时钟可以作为系统控制时钟、片内总线时钟以及看门狗时钟。在 HSE 异常、无片外时钟源的情况下，可以通过配置，选择 HSI 作为 PLL 的备选参考时钟。

为了保证 HSI 时钟频率的准确性，可以通过读取 HSI 所对应的 Flash NVR 里的 trim 值，trim HSI 的频率精度 (HSI 频率所对应的 trim 值，在出厂时已设定完成)。

表 5-7 HSI 时钟规格

参数	测试条件	最小值	典型值	最大值	单位
F _{HSI}	HSI 频率	24.25	25	25.75	MHz
F _{HSI_STABILITY}	F _{HSI}	3.3V 30°C	±3‰		
	频偏	3.3±10% 30°C	±5‰		
	频偏	3.3±10% -40°C~125°C	-3%	+3%	
T _{START_UP}	起振时间			1024	Cycle

5.7.3.3 High Speed External OSC (HSE)

片外振荡器 HSE 模块，可以支持如图 5-3 所示的两种时钟源模式。振荡器电路采用 Pierce 结构，生成片内所需的时钟。

- 外部晶体模式;
- 外部单端时钟源模式;

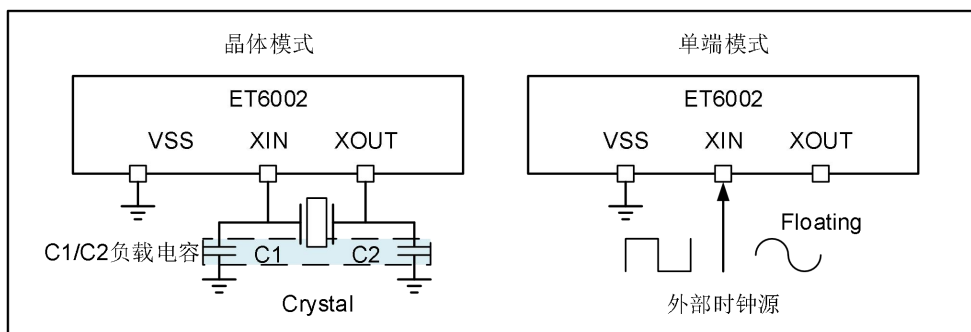


图 5-4 HSE 时钟源

说明

C1/C2 取值依赖于所选晶体型号。

5.7.3.3.1 晶体模式

晶体模式如图 5-3 (左) 所示，芯片通过管脚 XIN 和 XOUT 与晶体互联。晶体驱动电路采用 Pierce 结构，如图 5-4 所示。

芯片的驱动电路支持外围电路模式，为了满足不同晶体选型引入的 ESR 差异，驱动电路支持片内负阻值可调。

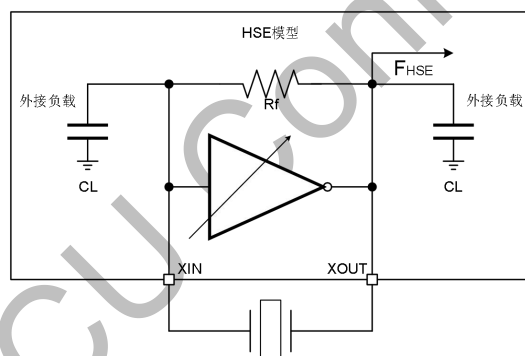


图 5-5 Pierce HSE 结构

表 5-8 为 ET6002 晶体驱动电路推荐典型晶体参数及该参数下的部分电气规格。

表 5-8 晶体电路规格参数

参数		测试条件	最小值	典型值	最大值	单位
C1/C2 、 CL	负载电容			12 ⁽¹⁾	20	pF
C0	晶体并联电容				3	pF
ESR	晶体等效电阻				100	Ω
F _{HSE}	晶体频率		12	25	30	MHz
T _{START_UP}	启动时间	F = 25 M ESR = 100 Ω C1 = C2 = 12 pF、C0 = 3 pF			5	mS

参数		测试条件	最小值	典型值	最大值	单位
DL	驱动电平				200	μW

说明

(1) C1/C2 取值依赖于所选晶体型号。

5.7.3.3.2 单端模式

单端输入模式如图 5-3 (右) 所示, 片外 3.3 V 单端时钟源通过管脚 XIN 与芯片互联来输入时钟, XOUT 管脚浮空。芯片支持正弦波、方波以及三角波输入。表 5-9 提供了所支持的单端时钟的规格需求。

表 5-9 单端时钟源规格

参数		测试条件	最小值	典型值	最大值	单位
F_{XIN}	允许的输入时钟频率		8	25	50	MHz
V_{H_XIN}	允许输入时钟的有效高电平		$0.7 \cdot V_{DDIO}$		$V_{DDIO} + 0.3$	V
V_{L_XIN}	允许输入时钟的有效低电平		-0.3		$V_{DDIO} \cdot 0.3$	V
单端时钟模式		正弦波; 方波; 三角波;				
Duty cycle	占空比		40		60	%

说明

在单端输入模式下, 片外 3.3 V 单端时钟源, 必须通过 XIN 与芯片互联。

XOUT 管脚无法作为 IO 使用, 必须浮空。

5.7.3.4 Phase-Locked Loop (PLL)

ET6002 具有 1 个 PLL, 为 CPU、总线、以及外设提供时钟;

PLL 支持如下特性:

- 支持参考时钟源可选配置。默认配置状态下参考时钟选择片外 HSE 时钟;
- 输入参考时钟频率支持 8 MHz 到 50 MHz;
- 输出时钟频率支持 8 MHz 到 1200 MHz;
- 支持频率锁定检测告警;
- 支持整数和小数分频率模式。小数模式下, 频率精度为 24 位;

图 5-5 为 ET6002 中的 PLL 架构框图。

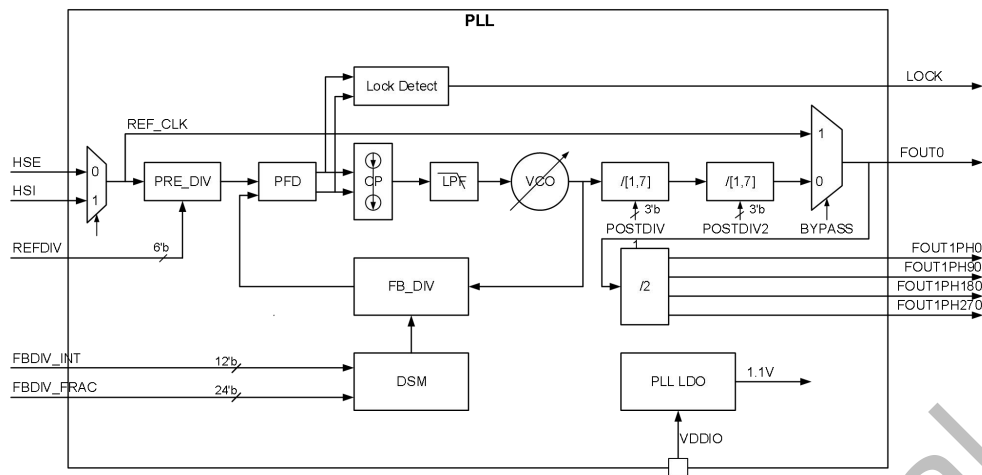


图 5-6 PLL 架构框图

PLL 支持整数和小数模式分频模式，输出频率计算：

$$FOUT0 = \frac{REF_CLK}{PRE_DIV} \times \frac{FBDIV_INT + \frac{FBDIV_FRAC}{2^{24}}}{POSTDIV1 \times POSTDIV2}$$

PLL 基本参数指标如下表所示。

表 5-10 PLL 参数指标

参数	最小值	典型值	最大值	单位
VCO	600		1600	MHz
Jitter_p2p		40		ps
Jitter_RMS		15		ps
Duty cycle	45		55	%
Lock Time ⁽¹⁾	1000	1200	2000	Cycle

说明

- (1) Lock Time 计算：例如输入参考时钟 REF_CLK = 25 MHz，REF_DIV = 1，典型条件下 PLL 的锁定时间为： $T = 1 / \frac{REF_CLK}{PRE_DIV} \times 1200 = 40n \times 1200 = 48 \mu s$
- (2) 在配置 PLL 的输出时钟频率时，确保 VCO 振荡频率在 600 MHz~1600 MHz 之间。低于或高于该频率范围，可能造成 PLL 频率异常。
- (3) 在配置 PLL 的输出时钟频率时，建议 POSTDIV1 分频系数大于或等于 POSTDIV2。

5.7.4 Flash 参数

表 5-11 列出了 Flash 编程/擦除相关参数。

表 5-11 Flash 编程/擦除相关参数

Flash 编程/擦除时间	最小值	典型值	最大值	单位
64-bit 编程时间	36	40	50	μS
扇区擦除时间	8	9	20	ms
整片擦除时间	8	9	20	ms

ET6002 配置有一个 16 深度的预取 buffer，可以提升软件的读取效率。这个预取效率提升程度取决于软件的分支数，因为该预取 buffer 的设计是基于软件线性执行的。

说明

准静态下打开和关闭预取 buffer 功能：

- 打开预取 buffer 功能，需要设备上电后由软件开启。
- 关闭预取 buffer 功能，需要保证没有 Flash 操作后，通过系统软复位后方可生效。

编程操作必须以 64-bit 为单位，并且每个 64-bit 数据在一次擦除-编程周期中，只能写 1 次。

5.7.5 仿真 (SWD)

ET6002 存在 1 套独立的 SWD 调试接口，用于 CPU 的硬件调试。SWD 调试接口如其他接口一样都需要进行引脚复用。

SWD 接口遵从 ARM Debug Interface Architecture Specification V5.2 标准。

ET6002 的 SWD 调试接口实际只有两根信号线，分别为 SWCLK 和 SWDIO。其中：

- SWCLK (引脚名为 CPU_SWJ_SWCLKTCK) 是一个单向信号，由仿真器提供；
- SWDIO (引脚名为 CPU_SWJ_TMS) 是双向信号，由仿真器和 ET6002 分时驱动；

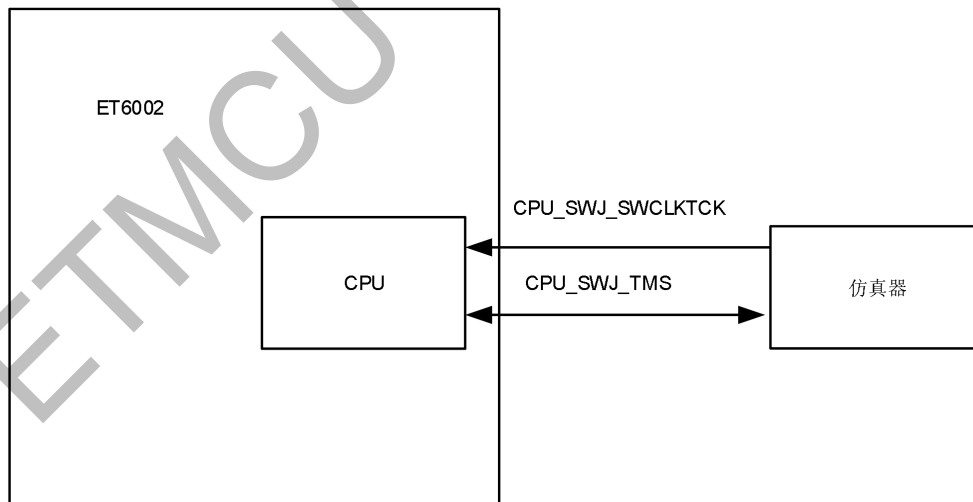


图 5-7 SWD 模式下 ET6002 和仿真器连接示意图

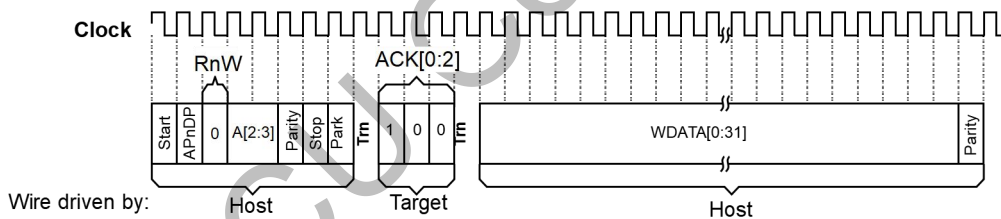
➤ SWD 协议相关内容介绍：

符号	含义
Start	起始位，固定为 1
APnDP	DP 寄存器和 AP 寄存器访问指示：

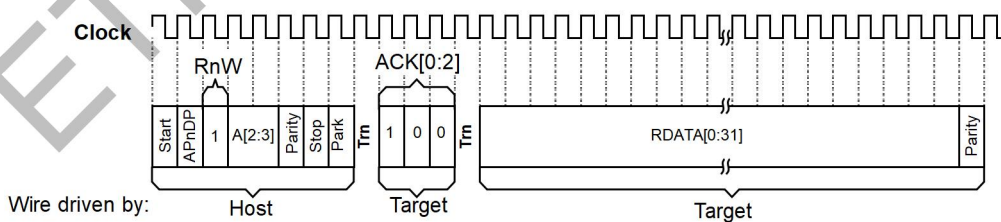
符号	含义
	1: 访问 AP 寄存器; 0: 访问 DP 寄存器;
RnW	读、写操作指示: 1: 表示读操作; 0: 表示写操作;
A[2:3]	地址值 A[3:2], 存放 DP/AP 寄存器的地址, 低位在前
Parity	奇偶校验位
Stop	停止位, 固定为 0
Park	暂存位, 固定为 1
Trn	数据线路周转位, 主机和目标设备的数据传输方向切换
ACK[0:2]	目标设备对命令的 ACK 响应, 低位在前; ACK[0:2]编码含义: 0b100: OK 0b010: WAIT 0b001: FAULT
WDATA[0:31]	从主机向目标设备写数据, 低位在前
RDATA[0:31]	从目标设备向主机读数据, 低位在前

SWD 接口读/写操作时序如下:

✓ SWD 接口写操作时序



✓ SWD 接口读操作时序



SWD 接口静态时序

(1) SWD 接口静态时序图 (输入)

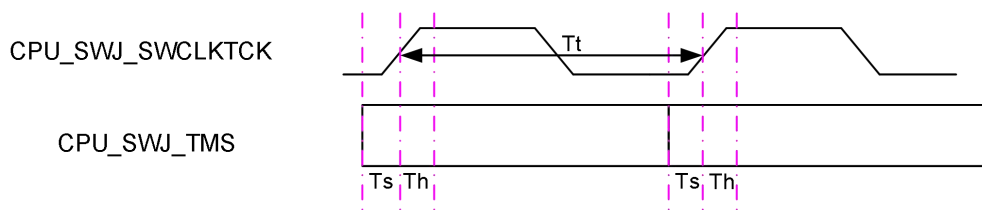


表 5-12 SWD 接口静态时序参数 (输入建立/保持时间)

符号	含义	最小值	典型值	最大值
Tt	时钟周期		50 ns (20 MHz)	
Ts	建立时间		7 ns	
Th	保持时间		1 ns	

(2) SWD 接口静态时序图 (输出)

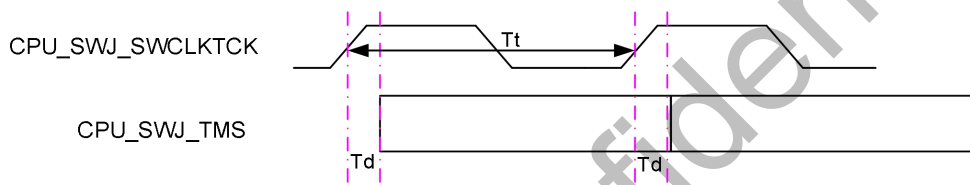


表 5-13 SWD 接口静态时序参数 (输出延迟时间)

符号	含义	最小值	典型值	最大值
Tt	时钟周期			
Td	输出延时	7 ns		20 ns

5.7.6 GPIO 电气数据和时序

5.7.6.1 GPIO 输出时序

章节 5.7.6.8.1 "通用输出开关特性"列出了通用输出开关特性。

图 5-7 显示了通用输出时序。

5.7.6.1.1 通用输出开关特性

如下参数值在推荐的工作条件下测得 (除非另有说明)。

参数		最小	最大	单位
$T_{r(GPIO)}$	GPIO(输出)上升沿时间	-	7 ⁽¹⁾	ns
$T_{f(GPIO)}$	GPIO(输出)下降沿时间	-	7 ⁽¹⁾	ns
F_{GPIO}	翻转频率		50	MHz

说明

(1) T_r/T_f 同外部容性负载强相关, 上表参数是基于 40 pF 负载、30%~70%幅度条件下的取值。

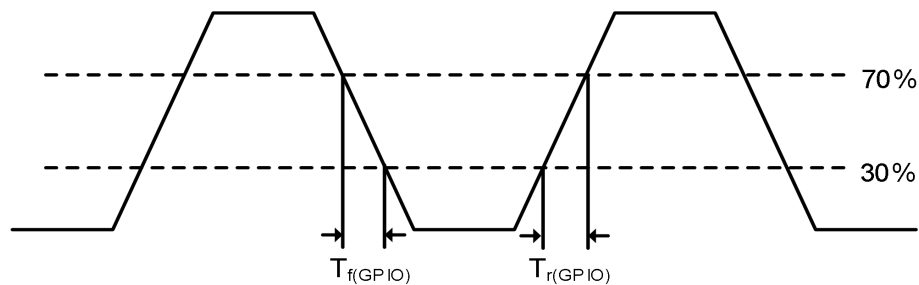


图 5-8 通用输出时序

5.7.6.2 信号去抖时序

5.7.6.2.1 输入信号去抖

GPIO IP 模块具有去毛刺功能。可通过 CRG GPIOx DB 时钟 (Debounce Clock) 分频来决定可去掉的毛刺宽度 (时钟分频前, DB 时钟频率为 100 MHz)。

以下是关于去毛刺的示例。

示例 1:

毛刺宽度	GPIOx DB 时钟分频因子	DB 时钟周期	去毛刺结果
<10 ns	1	10ns	去除成功
>= 10 ns and <= 20 ns	1	10ns	可能成功, 也可能失败
> 20 ns	1	10 ns	去除失败

示例 2:

毛刺宽度	GPIOx DB 时钟分频因子	DB 时钟周期	去毛刺结果
< 10 ns	10	100 ns	去除成功
> =10 ns and <= 20 ns	10	100 ns	去除成功
> 20 ns and <100ns	10	100 ns	去除成功
>= 100 ns and <= 200 ns	10	100 ns	可能成功, 也可能失败
> 200 ns	10	100 ns	去除失败

5.7.7 中断

Cortex-M7 内部自带不可屏蔽中断控制器 (NMI), 嵌入式中断控制器 (NVIC) 和唤醒中断控制器 (WIC)。

- NMI 中断在 CPU_CFG 模块里可配置, 能够产生只有来自 WDG0 和 WDG1 两种 NMI 中断源的超时中断;
- NVIC 与内核紧密集成, 实现低延迟中断处理。功能包括:
 - 支持多达 160 个外部中断, 中断优先级从 8 到 256 可配。
 - 动态重新确定中断优先级。

- 支持中断优先级分组，允许选择抢占式中断优先级和非抢占式中断优先级。
- 支持中断嵌套和中断延迟到达，可实现背靠背中断处理，而无需在中断之间进行状态保存和恢复的开销。
- WIC 支持 Sleep 和 DeepSleep 两种超低功耗睡眠模式的唤醒，两种模式由 Cortex-M7 的 SCR 寄存器定义。

5.7.8 低功耗模式

芯片在系统复位或上电复位后将在全速状态下运行。当需要降低系统功耗时，可由用户根据应用需求选择具体的低功耗模式。

芯片可通过下列方法来降低系统功耗：

- 进入 CPU 睡眠模式；
- 关闭不使用的模拟模块电源；
- 降低 CPU/外设时钟频率；
- 在不使用数字外设时，将对应外设的时钟关闭 (Clock-Gating)；

5.7.8.1 CPU 睡眠模式

- **进入睡眠模式**

CPU 通过执行 WFI (等待中断) 或 WFE (等待事件) 指令，即可进入睡眠模式。根据 Cortex®-M 系统控制寄存器中 SLEEPONEXIT 位的设置，可以通过两种方式进入睡眠模式：

- 立即睡眠：如果 SLEEPONEXIT 位清零，CPU 将在执行 WFI 或 WFE 指令时立即进入睡眠模式。
- 退出时睡眠：如果 SLEEPONEXIT 位置 1，CPU 将在退出优先级最低的 ISR 时立即进入睡眠模式。

- **退出睡眠模式**

CPU 如果使用 WFI 指令进入睡眠模式，则嵌套向量中断控制器 (NVIC) 确认的任何外设中断都会将系统从睡眠模式唤醒。

CPU 如果使用 WFE 指令进入睡眠模式，CPU 将在有事件发生时立即退出睡眠模式。

5.7.8.2 关闭模拟模块电源

芯片可通过关闭 PLL、ADC 和 DAC 等模拟模块的电源，来降低系统耗电，每个独立的模拟模块均可通过单独配置进行掉电。

当 PLL 不使用时，为 PLL 供电的 LDO 也可进行关闭，进一步降低系统功耗。

当用户产品中已包含电源模块，可单独提供外灌 1.1 V 电源时，可通过拉高外部 REGUENZ 管脚电平，或配置系统 LDO 寄存器，关闭内部系统 LDO 电源。内部系统 LDO 电源关闭后，整芯片功耗将大幅降低。

5.7.8.3 降低时钟频率

在运行模式 (**Run**) 下, 可通过切换时钟源、修改 PLL 时钟频率、配置时钟的分频寄存器来降低 CPU 时钟、系统时钟、总线时钟和外设时钟的频率, 从而降低系统功耗。

在 CPU 进入睡眠模式 (**Sleep**) 之前, 也可对时钟进行配置以降低总线和外设的运行频率。

说明

- (1) 外设接口速率与外设工作时钟相关, 时钟降频场景下用户需要自行通过配置进行调整。
- (2) SRPWM 高精度发波功能仅支持工作在 SRPWM 时钟频率为 200 MHz 的场景下, 低于该频率高精度发波功能应设置为无效, 仍可使用普通精度进行发波。

5.7.8.4 时钟门控

运行模式 (**Run**) 下, 在不使用某个外设时, 可关闭该外设的时钟来降低功耗; 如要进一步降低 CPU 睡眠模式的功耗, 可在执行 WFI 或 WFE 指令之前关闭外设的时钟。

5.8 模拟外设

本节介绍了模拟子系统。该器件上的模拟模块包括 3 个 ADC, 1 个温度传感器, 2 个缓冲 DAC, 和 8 个 ACMP。

模拟子系统具有以下特性:

- ADC 支持单端, 差分信号输入模式;
- 灵活的电压基准, ADC 基准通过 VREFHI 管脚和 VREFLO 管脚提供。
 - VREFHI 可以通过内部带隙基准, 提供 0 V 至 2.5 V;
 - VREFHI 由外部驱动, 支持 2.4 V 至 3.3 V。
- 缓冲 DAC 基准通过 VREFHI 管脚和 VSSA 管脚提供。
 - 也支持以 VDAC 管脚和 VSSA 为基准。
- ACMP 内部的 DAC 以 VDDA 和 VSSA 为基准;
 - 也支持以 VDAC 管脚和 VSSA 为基准。
- 灵活地使用引脚, 缓冲 DAC 输出、CMP 输入、ADC 输入可以通过多路复用电路进行互连。

图 5-8 展示了模拟外设系统框图。

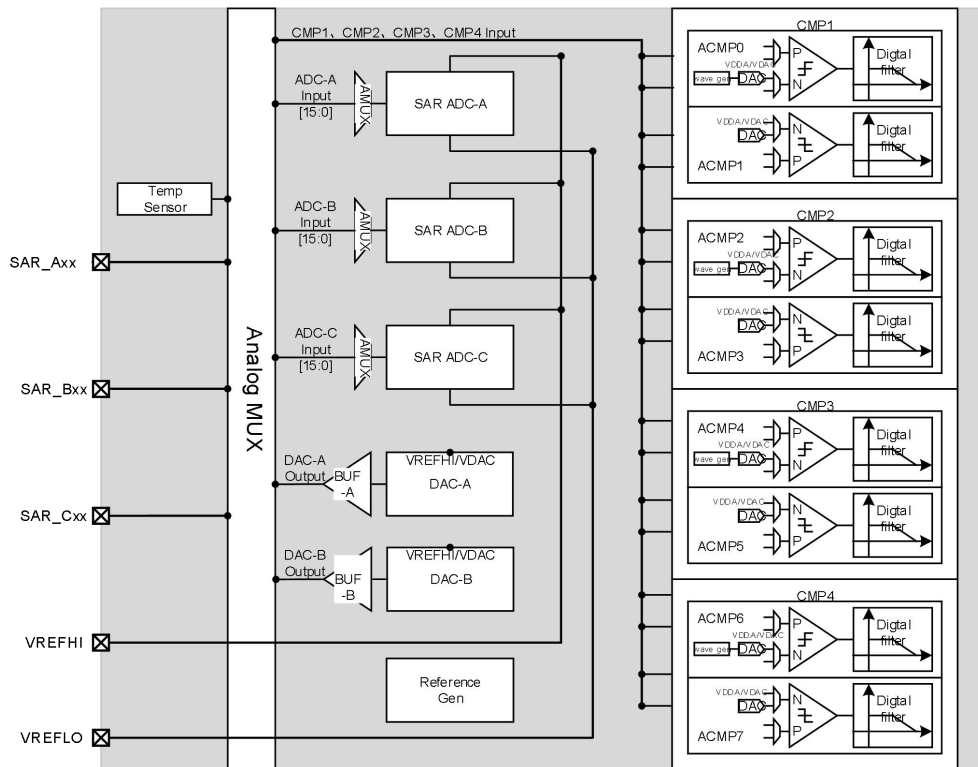


图 5-9 模拟外设系统框图

图 5-9 显示了模拟子系统内部的连接情况。具体互联属性请参阅表 5-14。

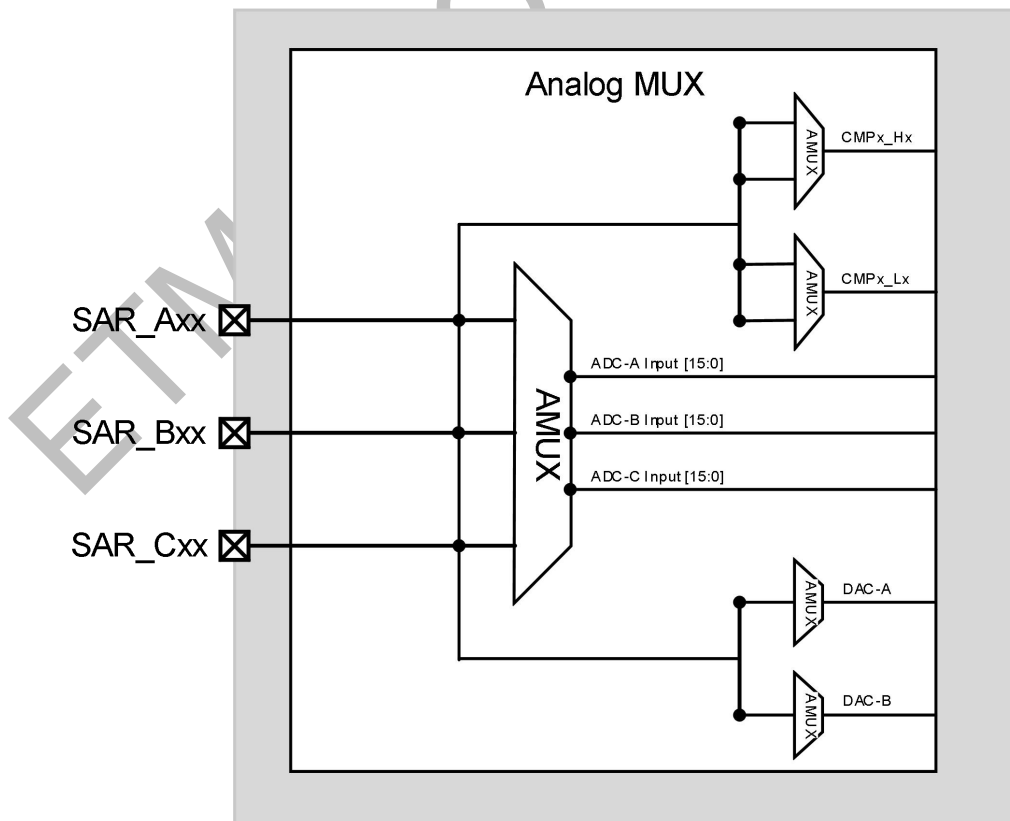


图 5-10 模拟子系统内部连接

表 5-14 列出了模拟引脚和内部连接关系。

表 5-14 模拟引脚和内部连接

封装类型				引脚名称	ADC			DAC		CMP			
100	80	128	144		A	B	C	A	B	CMP1	CMP2	CMP3	CMP4
14	10	19	19	SAR_A6	A6					HP2 LP2			
15	11	20	20	SAR_B2		B2	C6					HP0 LP0	
16	12	21	21	SAR_B3		B3						HP3 LP3 HN0 LN0	
		22	22	SAR_B6	A3		C5					HP5 LP5	
17	13	23	23	SAR_A2	A2	B6	C9			HP0 LP0			
	14	24	24	SAR_B7	A15	B9	C7			HP3 LP3 HN0 LN0			
18		25	25	SAR_A3	A3	B9	C7					HP5 LP5	
19	15	26	26	SAR_C4	A14	B14	C4					HP4 LP4	
20	16	27	27	SAR_A11	A11	B10	C0			HP1			

封装类型				引脚名称	ADC			DAC		CMP			
100	80	128	144		A	B	C	A	B	CMP1	CMP2	CMP3	CMP4
										LP1 HN1 LN1			
		28	28	SAR_B8	A5						HP5 LP5		
21	17	29	29	SAR_C2		B12	C2					HP1 LP1 HN1 LN1	
22	18	30	30	SAR_A1	A1	B7			DACB	HP4 LP4			
			31	SAR_C3			C3						
			32	SAR_C6			C6						
23	19	31	33	SAR_A0	A0	B15	C15	DACA				HP2 LP2	
			34	SAR_B1		B1							
24	20	32	35	VREFHI									
25		33	36	VREFHI									
26	21	34	37	VREFLO									
27		35	38	VREFLO									
28				SAR_C5			C5						
	22	36	39	SAR_A12	A12						HP1 LP1 HN1		

封装类型				引脚名称	ADC			DAC		CMP			
100	80	128	144		A	B	C	A	B	CMP1	CMP2	CMP3	CMP4
											LN1		
29		37	40	SAR_C1			C1						HP2 LP2
			41	SAR_C7			C7						
			42	SAR_C0			C0						
30		38	43	SAR_B11		B11							HP5 LP5
31	23	39	44	SAR_A7	A7		C3						HP1 LP1 HN1 LN1
	24	40	45	SAR_B9	A8	B0	C11				HP4 LP4		HP4 LP4
32		41	46	SAR_B5		B5				HP5 LP5			
33	25	42	47	VSSA									
34	26	43	48	VDDA									
	27	44	49	SAR_B10	A4	B8	C14				HP0 LP0		HP3 LP3 HN0 LN0
35		45	50	SAR_A5	A5						HP5 LP5		
36		46	51	SAR_A4	A4	B8					HP0		

封装类型				引脚名称	ADC			DAC		CMP			
100	80	128	144		A	B	C	A	B	CMP1	CMP2	CMP3	CMP4
											LP0		
37		47	52	SAR_A8	A8								HP4 LP4
38	28	48	53	SAR_A9	A9						HP2 LP2		
39		49	54	SAR_B4		B4	C8						HP0 LP0
40	29	50	55	SAR_A10	A10	B1	C10				HP3 LP3 HN0 LN0		
41		51	56	SAR_B0		B0	C11				HP4 LP4		
42		52	57	SAR_C9			C14						HP3 LP3 HN0 LN0
			58	SAR_C8			C8						
			59	SAR_C10			C10						
			60	SAR_C11			C11						

表 5-15 为模拟信号说明。

表 5-15 模拟信号说明

Signal Name	Description
Ax	ADC0 Input
Bx	ADC1 Input
Cx	ADC2 Input
CMPx_HP _x	比较器子系统高电平比较器正输入
CMPx_HN _x	比较器子系统高电平比较器负输入
CMPx_LP _x	比较器子系统低电平比较器正输入
CMPx_LN _x	比较器子系统低电平比较器负输入
DACx	DAC 缓冲输出

5.8.2 ADC

芯片包含 3 个 12 位的逐次逼近型模数转换器 (SAR ADC)。3 个 ADC 具有各自的控制电路，可以在同步模式下运行，也可以在非同步模式下运行。

ADC 映射到系统 AHB 总线，从而可实现快速数据处理。

每路 ADC 具有模拟看门狗功能，允许应用检测输入电压的采样值是否超过了用户自定义的阈值上限或下限。

每路 ADC 内置硬件滤波器，支持多种滤波类型，可提高模拟性能，同时还能减轻 CPU 进行相关计算的负担。

ADC 具体特性如下：

- 高性能特性
 - 支持多达 3 个独立 ADC；
 - 由 VREFHI/VREFLO 设定的比率式外部基准；
 - 2.5 V 的可选内部基准电压；
 - 多达 16 个通道的输入多路复用器；
 - 支持 12 位分辨率；
 - 每路 ADC 连接到最多可达独立的 16 个外部通道；
 - 每路 ADC 支持独立设置通道的单端/差分输入；
 - 每路 ADC 支持独立设置各通道的采样时间；
 - 支持常规通道和注入通道灵活配置；
 - 每路 ADC 支持 4 路 DMA 搬运数据；
 - 每路 ADC 支持多种中断源产生中断请求；
 - 每路 ADC 支持独立的 power-gating 功能，以便节省功耗；
 - 每路 ADC 挂接到独立 AHB 总线，便于采样结果高效读取；
- ADC 校准
 - 每路 ADC 支持软件启动校正功能，实现 ADC 采样校准；
- 采样转换
 - 每路 ADC 支持 16 个虚拟采样通道 VC，每个虚拟通道独立控制一次采样；
 - 16 个虚拟采样通道 VC 支持根据优先级进行调度；
 - 每路 ADC 支持基于 VC 调度的顺序采样、单次采样、过采样；
 - 每路 ADC 支持多种采样触发源；
 - 支持 2 路 ADC 基于触发源选择进行同步采样，同一时刻采样不同的电压信号；
 - 每路 ADC 支持 1 个 Blanking 事件功能，Blanking 有效窗口内，只允许 VC0 触发正常响应。若 Blanking 有效窗口内出现其他 VC 触发，等窗口结束后按优先级进行响应；
 - 每路 ADC 支持多种 Blanking 触发源；

- 每路 ADC 支持多个 VC 同时触发时响应方式可选择，低优先级 VC 丢弃或者排队响应；
- 每路 ADC 采样触发支持单次触发和连续触发 2 种触发模式；
- 采样结果预处理
 - 每路 ADC 支持 16 个预处理通道 PC，PC 与 VC 一一对应；
 - 每路 ADC 支持 16 组增益补偿，与 PC 一一对应；
 - 每路 ADC 支持 16 组偏置补偿，与 PC 一一对应；
 - 每路 ADC 支持 16 个模拟看门狗，与 PC 一一对应，支持模拟电压上下门限检测；
 - 每个模拟看门狗支持检测结果告警事件输出；
 - 每个模拟看门狗支持对上下门限检测结果进行独立滤波处理；
- 采样结果滤波
 - 每路 ADC 支持 8 个滤波通道 FC，16 个 VC 可通过软件配置选择 FC 进行相应滤波处理；
 - 每个滤波通道基于软件配置可独立支持 IIR、滑动平均和非滑动平均 4 种滤波类型；
- 采样结果缓存
 - 每路 ADC 支持 16 个缓存通道 BC，BC 与 VC 一一对应；
 - ADC0 支持 1 个缓存 FIFO，以存储交织采样结果；

ADC 内核和 ADC 控制器的方框图如下图所示：

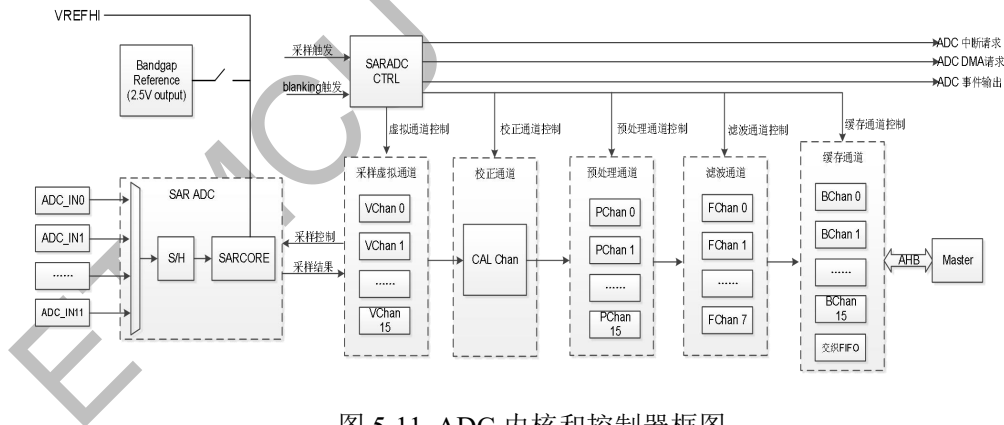


图 5-11 ADC 内核和控制器框图

5.8.2.1 ADC 可配置性

某些 ADC 配置由 SoC 单独控制，而其他配置则由每个 ADC 模块全局控制。

表 5-16 汇总了基本的 ADC 选项及其可配置性级别。

表 5-16 ADC 可配置性说明

选项	可配置性
时钟	每模块

选项	可配置性
分辨率	不可配置 (仅限 12 位分辨率)
基准电压源	每模块
触发源	按照 SoC
转换后的通道	按照 SoC
采集窗口持续时间	按照 SoC
突发模式	每模块

5.8.2.2 信号模式

- ADC 支持单端信号模式。

在单端模式中，以 VREFHI/VREFLO 为基准通过单个引脚 (ADC 输入引脚) 对转换器的输入电压进行采样。图 5-11 显示了单端信号模式。

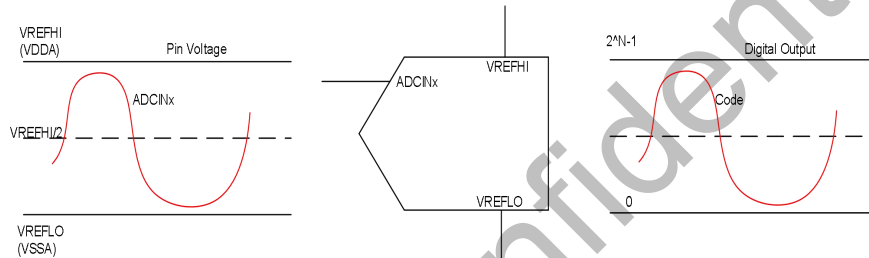


图 5-12 ADC 单端模式

5.8.2.3 ADC 运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)。

表 5-17 ADC 运行条件

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK				66.67	MHz
采样率				4.16	MSPS
采样窗口持续时间	源阻抗 ≤ 50 欧姆	60			ns
VREFHI	外部基准	2.4		VDDA	V
	内部基准电压 = 2.5 V 范围		2.5		V
VREFLO		VSSA	VSSA	VSSA	V
VREFHI-VREFLO	外部基准	2.4		VDDA	V
转换范围	内部基准电压 = 2.5 V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

5.8.2.4 ADC 特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)。

表 5-18 ADC 特性

参数	测试条件	最小值	典型值	最大值	单位
----	------	-----	-----	-----	----

通用					
ADCCLK 转换周期			13.5		ADCCLK
上电时间					μS
VREFHI 输入电流					μA
内部基准电容值	电容器, 可接受 $\pm 20\%$ 容差		2.2		μF
外部基准电容值	电容器, 可接受 $\pm 20\%$ 容差		2.2		μF
直流特性					
增益误差		-5		5	LSB
偏移量误差			± 2		LSB
通道间增益误差			± 2		LSB
通道间偏移量差			± 2		LSB
DNL 误差			± 0.5		LSB
INL 误差		-2	± 1	2	LSB
ADC 间隔离					LSB
交流特性					
SNR	VREFHI=2.5 V, $f_{\text{in}} = 100$ kHz, 单端输入模式, 电源电压 2.97 V~3.63 V		65		dB
THD	VREFHI=2.5 V, $f_{\text{in}} = 100$ kHz, 单端输入模式, 电源电压 2.97 V~3.63 V		72		dB
SFDR	VREFHI=2.5 V, $f_{\text{in}} = 100$ kHz, 单端输入模式, 电源电压 2.97 V~3.63 V		73		dB
SINAD	VREFHI=2.5 V, $f_{\text{in}} = 100$ kHz, 单端输入模式, 电源电压 2.97 V~3.63 V		65		dB
ENOB	VREFHI=2.5 V, $f_{\text{in}} = 100$ kHz, 单端输入模式, 电源电压 2.97 V~3.63 V		10.5		Bit
PSRR	VDD=1.1 V, 直流 +100 mV, 直流至正弦 (1 kHz 时)				dB
	VDD=1.1 V, 直流 +100 mV, 直流至正弦 (300 kHz 时)				dB
	VDDA=3.3 V, 直流 +200 mV, 直流至正弦 (1 kHz 时)				dB
	VDD=3.3 V, 直流 +200 mV, 直流至正弦 (900 kHz 时)				dB

5.8.2.5 ADC 输入模型

表 5-19 列出了 ADC 输入模型参数。

表 5-19 ADC 输入模型参数

	说明	值
Cp	寄生输入电容	跟通路相关，参考表 5-20。
Ron	采样开关电阻	800 Ω
Cs	采样电容器	12.5 pF
Rs	标称源阻抗	50 Ω

图 5-12 展示了 ADC 输入模型示意图。

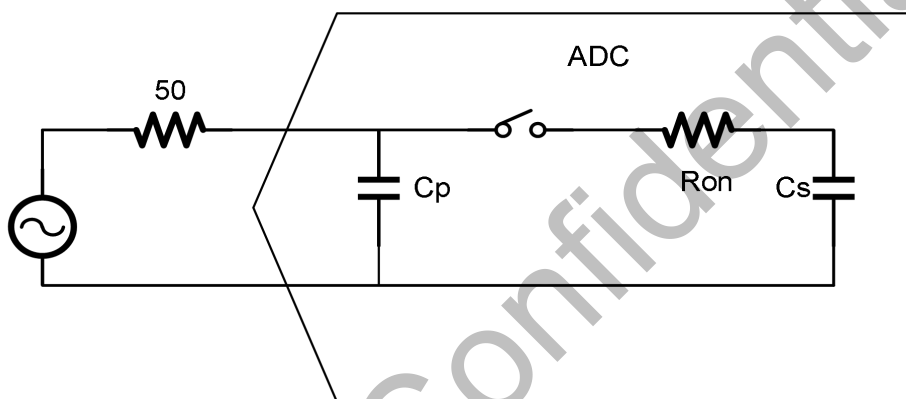


图 5-13 ADC 输入模型示意图

表 5-20 列出了连接到引脚上的 ADC 通道的寄生电容。

表 5-20 引脚通道寄生电容

引脚名称	Cp (pF)
SAR_A0	1.6
SAR_A1	1.1
SAR_A2	1
SAR_A3	1.2
SAR_A4	1.2
SAR_A5	1.2
SAR_A6	1
SAR_A7	1.3
SAR_A8	1.2
SAR_A9	1.2
SAR_A10	1.5
SAR_A11	1
SAR_A12	1.2
SAR_B0	1

引脚名称	C _p (pF)
SAR_B1	0.5
SAR_B2	1.2
SAR_B3	1.2
SAR_B4	1.2
SAR_B5	1
SAR_B6	1
SAR_B7	1
SAR_B8	0.5
SAR_B9	0.5
SAR_B10	11
SAR_B11	1.1
SAR_C0	0.5
SAR_C1	1
SAR_C2	1.2
SAR_C3	0.5
SAR_C4	1.5
SAR_C5	1
SAR_C6	2
SAR_C7	0.5
SAR_C8	0.5
SAR_C9	1
SAR_C10	0.5
SAR_C11	1

5.8.2.6 ADC 时序图

图 5-13 显示了 ADC 的转换时序。

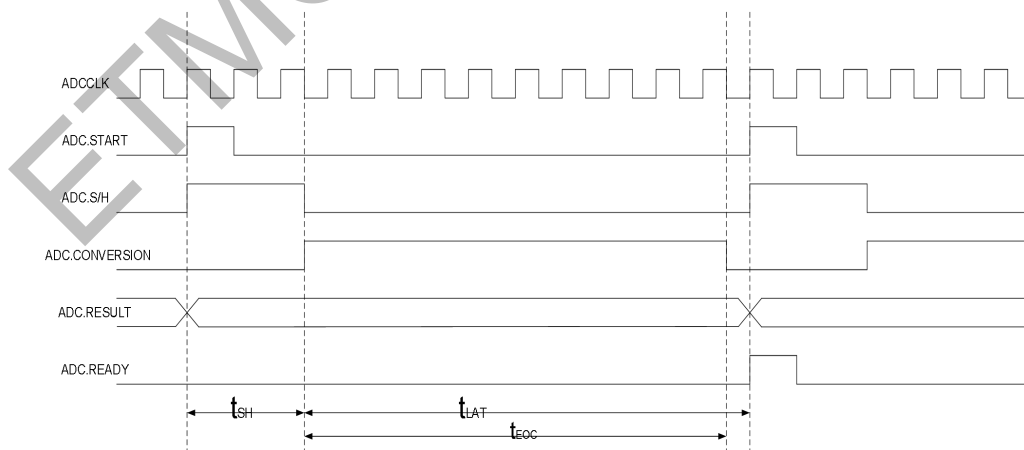


图 5-14 ADC 的转换时序

表 5-21 列出了 ADC 时序参数描述。

表 5-21 ADC 时序参数说明

参数	说明
tSH	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 SoC 单独配置，因此对于不同的 SoC，采样窗口值不一样。 注意：无论设备时钟设置如何，S+H 电容器上的值都将在 S+H 窗口结束前大约 5nS 时被采集。
tLAT	从 S+H 窗口结束到 ADC 结果被锁存的时间，如果在此时间之前读取结果，则返回之前的转换结果。
tEOC	从 S+H 窗口结束到下一个 ADC 转换的 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。

5.8.3 温度传感器 (Tsensor)

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过软件转换为温度。在对温度传感器进行采样时，ADC 必须满足表 5-22 中的采集时间要求。

5.8.3.1 温度传感器特征

在建议运行条件下测得 (除非另有说明)。

表 5-22 温度传感器电气特征

参数		最小值	典型值	最大值	单位
T _{acc}	温度精度		±5		°C
T _{startup}	启动时间				μS
Avg_Slope	平均斜率	2.456		2.521	mV/°C
V _{30°C}	30°C 时的电压	757.2	759.6	762.9	mV
t _{SH}	ADC 采样保持时间	200			ns

5.8.4 缓冲数模转换器 (Buffered DAC)

缓冲 DAC 模块由一个内部 12 位 DAC 和一个可以驱动外部负载的模拟输出缓冲器组成。为了驱动比典型值更高的负载，可以在负载大小和输出电压摆幅之间进行权衡。缓冲 DAC 是一种通用 DAC，可用于生成直流电压或交流波形，例如正弦波，方波，三角波等。每个缓冲 DAC 具有以下特性：

- 12 位分辨率
- 可选择的基准电压源
- 缓冲器的 X1 和 X2 增益模式

图 5-14 显示了缓冲 DAC 的方框图。

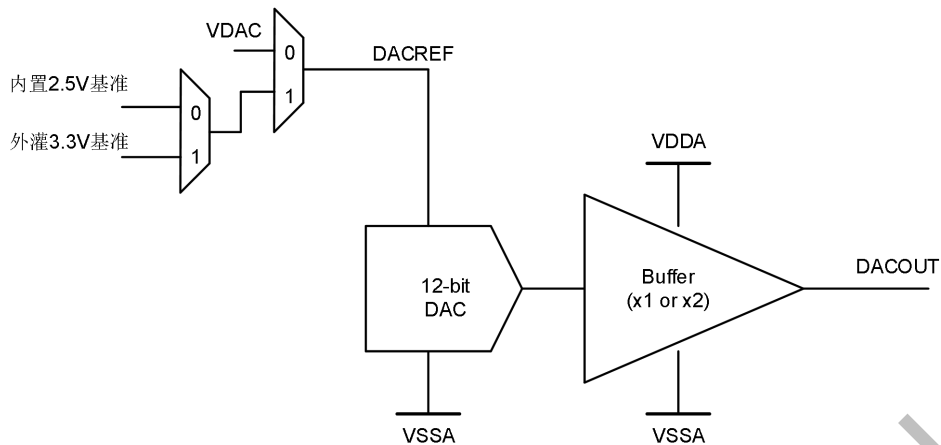


图 5-15 缓冲 DAC 框图

5.8.4.1 缓冲 DAC 的电气特性

在建议运行条件下测得 (除非另有说明)。

表 5-23 缓冲 DAC 电气特征

参数	测试条件	最小值	典型值	最大值	单位
通用					
分辨率			12		位
电压输出稳定时间满量程	在 0.3 V 至 3 V 切换后稳定到 2LSB			2	μS
电压输出稳定时间第 1/4 满量程	在 0.3 V 至 0.75 V 切换后稳定到 2LSB			1.5	μS
电压输出压摆率	从 0.3 V 到 3 V 转换的压摆率			4.5	$\text{V}/\mu\text{S}$
负载瞬态的稳定时间	5 k Ω 负载			350	nS
基准输入电阻	VDAC 或 VREFHI			250	k Ω
上电时间 TPU	内部基准模式				μS
直流特性					
偏移量误差	中点	-10		10	mV
Gain		-2		2	FSR 百分比
DNL		-2		2	LSB
INL		-5		5	LSB
交流特性					
SNR 信噪比	1 kHz, 200 KSPS			63	dB
THD 总谐波失真	1 kHz, 200 KSPS			65	dB
SFDR 无杂散动态范围	1 kHz, 200 KSPS			65	dB
SINAD 信噪比和失真比	1 kHz, 200 KSPS			61.7	dB
PSRR 电源抑制比	100 kHz		30		dB

5.8.5 模拟比较器 (ACMP)

芯片内置 4 个 Dual-ACMP 模块，每个 Dual-ACMP 模块包含 2 个 ACMP。每个 ACMP 都有独立的配置寄存器，具体功能如下：

- 1 个内部 12bit DAC，用于静态电压配置；
- 1 个模拟 CMP，用于比较输出；
- 一个 CMP 数字模块，用于对模拟 CMP 输出的处理，比如 Blanking 消隐和滤波输出；
- 能够反转输出；
- 可选择在输入端使用迟滞；
- 可选择 VDDA 或 VDAC 作为 DAC 基准电压；

说明

4 个 Dual-ACMP 比较器模块一共包含 8 路 ACMP。每个 Dual-ACMP 模块包含两个比较器 ACMP0 和 ACMP1，其中偶数比较器用“H”表示，奇数比较器用“L”表示。模拟 ACMP 的正输入由一个外部引脚驱动，负输入可由外部引脚或内部 12bit DAC 驱动。

图 5-15 展示了 ACMP 框图。

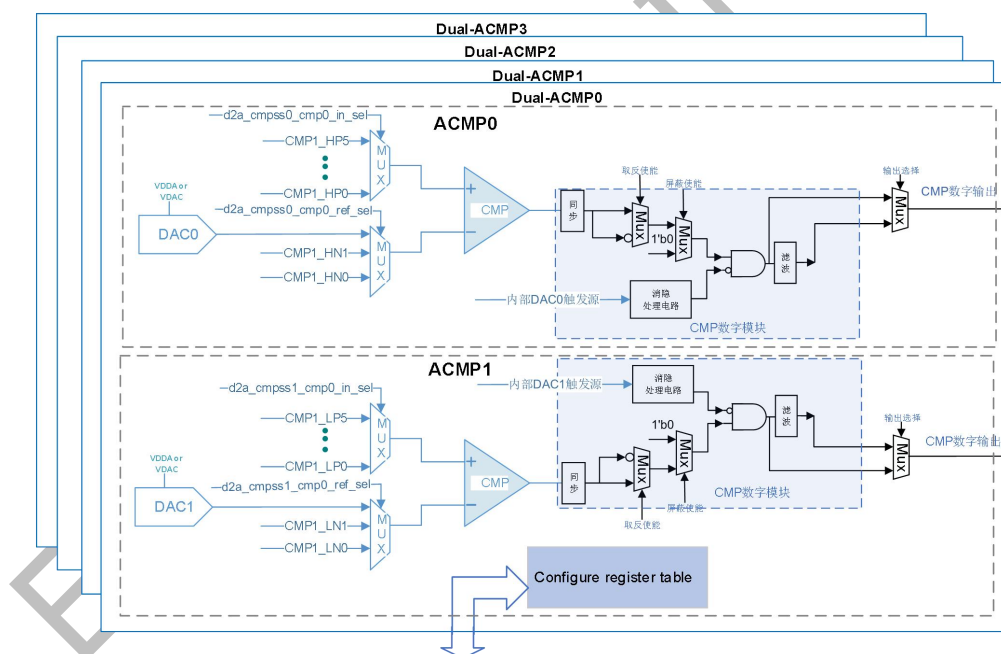


图 5-16 ACMP 框图

5.8.5.1 ACMP 电气特性

在建议运行条件下测得（除非另有说明）。

表 5-24 ACMP 电气特征

参数	测试条件	最小值	典型值	最大值	单位
TPU 上电时间				500	μS

参数	测试条件	最小值	典型值	最大值	单位
比较器输入范围		0		VDDA	V
以输入为基准的偏移量误差		-25		25	mV
迟滞	1×		16		mV
	2×		28		mV
	3×		37		mV
	4×		46		mV
	5×		52		mV
	6×		58		mV
	7×		64		mV
响应时间	阶跃响应		25	60	nS
	斜坡响应 (1.65 V/ μ S)		35		
	斜坡响应 (8.25 mV/ μ S)		50		
PSRR 电源抑制比	高达 250 kHz		46		dB
CMRR 共模抑制比		40			dB
比较器内部 DAC 输出范围	内部基准 VDDA	0		VDDA	V
	外部基准 VDAC	0		VDAC	V
静态偏移量误差		-10		10	mV
静态增益误差		-2		2	FSR 百分比
静态 DNL		-2		2	LSB
静态 INL		-16		16	LSB
趋稳时间				1	μ S
分辨率			12		位
VDAC 基准电压			2.5 或 3.3	VDDA	V
VDAC 负载			8		k Ω

CMP 比较器迟滞如下图所示。

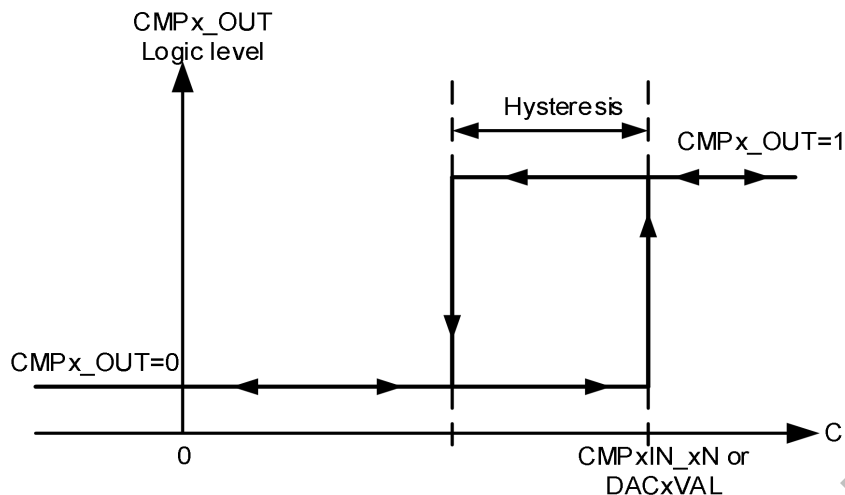


图 5-17 CMP 比较器迟滞

5.9 控制外设

5.9.1 增强型定时器 (ETIMER)

ETIMER 模块包含 14 个通道，每个通道可独立配置其捕获 (e-CAP) 功能和 PWM 输出 (e-PWM) 功能。

- 支持 14 路输入信号捕获功能，包括：
 - 上升沿捕获
 - 下降沿捕获
 - 正脉冲宽度捕获
 - 负脉冲宽度捕获
 - 周期捕获
- 支持 14 路 PWM 输出，输出的占空比和周期可调。
- 支持 14 路 PWM 输出可两两配对输出，0 和 1，2 和 3，4 和 5，6 和 7，8 和 9，10 和 11，12 和 13 通道配对互补输出，并且两路 PWM 死区时间可配置。
- 支持 14 路 PWM 输出极性可配置。
- 支持 14 路 PWM 输出 fault 封波处理。

5.9.1.1 ETIMER 与周边模块的交互

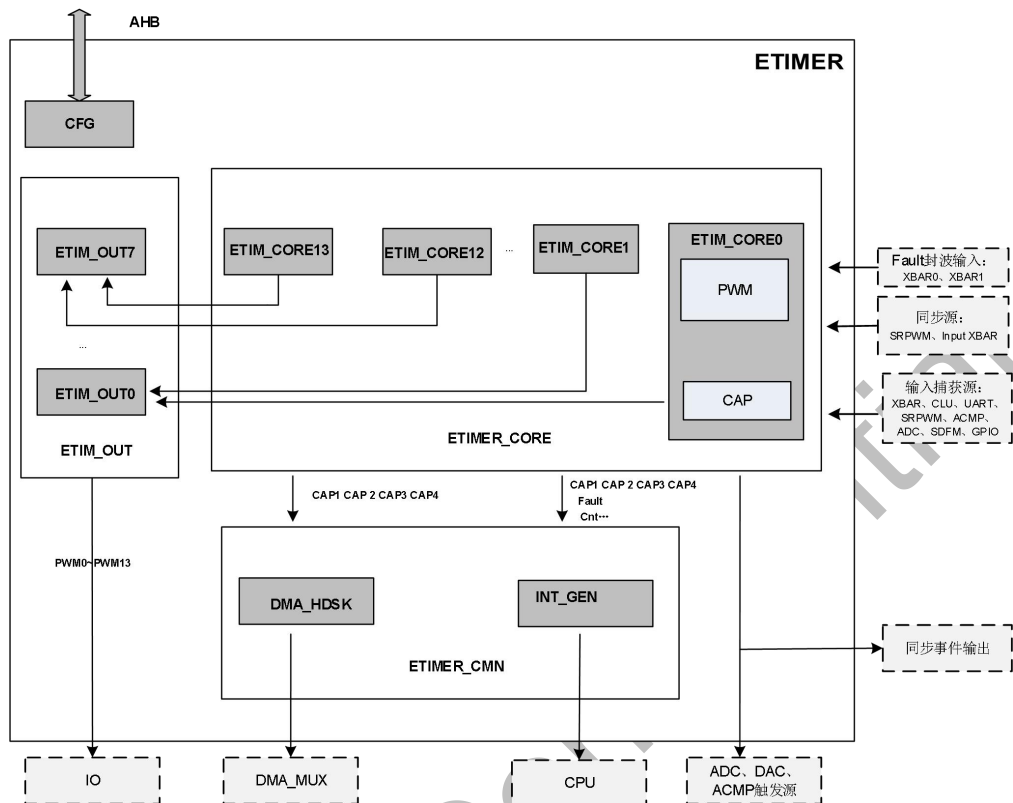


图 5-18 ETIMER 与周边模块连接关系示意图

- 支持 14 路输入捕获功能，输入捕获信号源为：
 - Input XBAR
 - Output XBAR
 - CLU
 - UART
 - SRPWM
 - ACMP
 - ADC
 - SDFM
 - GPIO
- 支持 14 路 PWM 输出，每一路输出可单独控制或者两两配对互补输出。
- 支持通过 DMA 来搬移捕获数据。
- 支持通过如下故障源触发 PWM 封波：
 - 2 路源自 XBAR
 - 1 路源自软件配置

- 支持外部输入同步源同步 PWM 输出相位
 - SRPWM 输出同步信号
 - Input XBAR 同步信号
- 每个通道提供一个中断信号
- 为 3 个 ADC 提供采数触发信号；
- 为 2 个 DAC 模块提供发波触发信号；
- 为 8 个 ACMP 配套的 DAC 提供发波触发信号；
- 输出同步事件到 IO；

5.9.1.2 ETIMER 通道内部特性

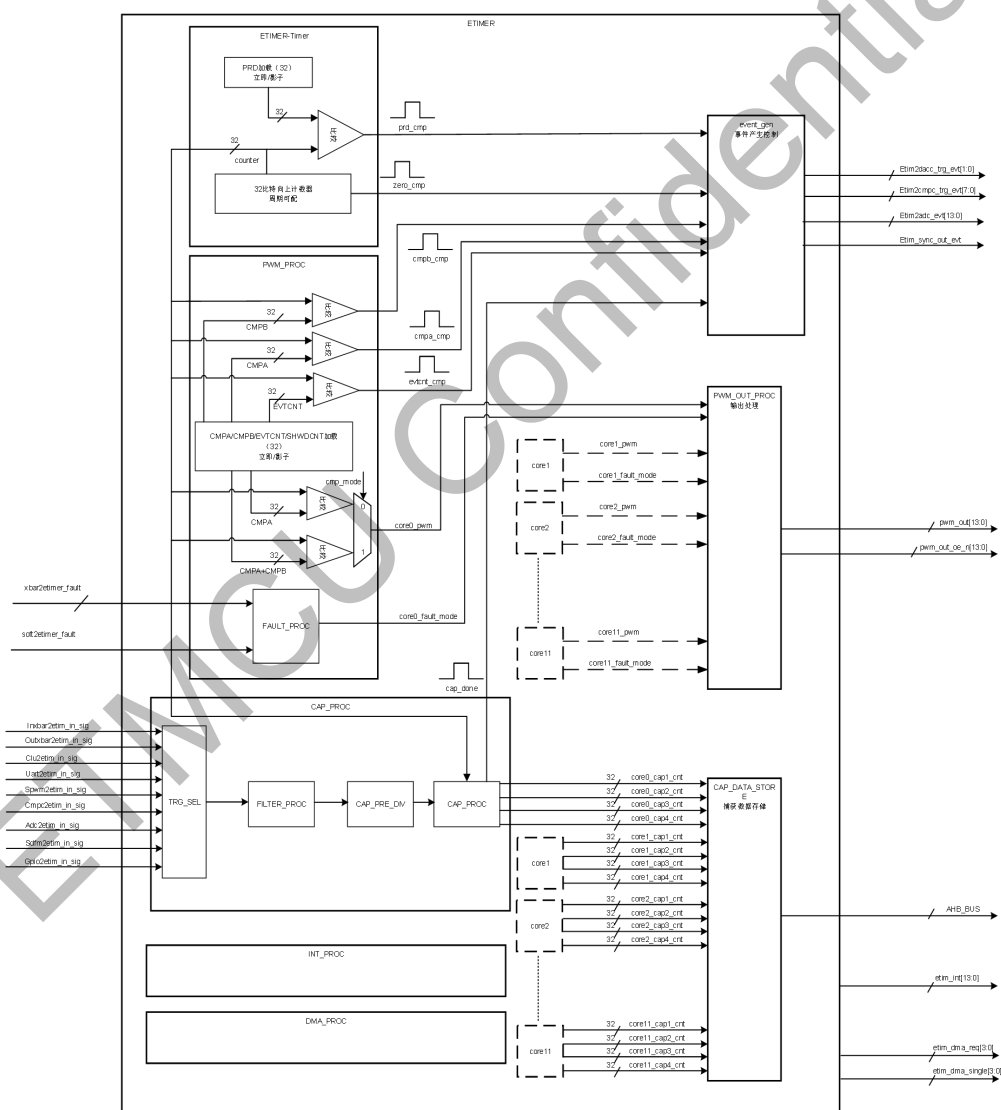


图 5-19 ETIMER 内部框图

ETIMER 通道特性如下：

- 支持独立的 14 路通用 PWM 功能和 14 路通用 CAP 捕获功能；
- PWM 发波支持占空比和周期可调；
- 14 路通用 PWM 可两两组合为互补模式发波，支持 SWAP 和极性可配置；
- PWM 发波支持 COMPA 和 COMPA+COMPB 两种模式：
 - COMPA 模式，如果 “Timer 值 < COMPA”，则 PWM 输出为 1，否则为 0；
 - COMPA+COMPB 模式，如果 “COMPB > Timer 值 ≥ COMPA”，则 PWM 输出为 1，否则为 0；

说明

COMP A 和 COMP B 代表预设的比较值。

- 可选择 SDFM 事件输入、内部 ACMP 结果以及各类故障/告警/复位信号、软件寄存器配置触发 Fault 模式，进行封波保护操作；
- Fault 模式封波保护形式可选：cycle-by-cycle (CBC)/one-shot
- 支持 Fault 模式下，PWM 输出极性可配置；
- ETIMER 内部计数周期值、COMP A 和 COMP B 预设值、内部计数事件预设值均支持立即加载/影子加载两种模式；
- 支持 4 个事件输出：
 - 触发 ADC 采数事件
 - 触发 ACMP 事件
 - 触发 DAC 发数事件
 - 同步输出事件
- 计数器支持 UP 计数，计数周期可配；
- 支持时钟预分频，可配置为 1/2/4/8/16/32/64 分频；
- 通用 CAP 捕获功能包括：
 - 上升沿捕获
 - 下降沿捕获
 - 正脉冲宽度捕获
 - 负脉冲宽度捕获
 - 周期捕获
- CAP 捕获触发源支持 One-shot 和 Continuous 两种模式；
- 支持对 CAP 捕获输入信号进行滤波处理；
- 支持 CAP 捕获数据通过中断/DMA 进行传输请求；
- 支持每个 ETIMER Core 单独产生中断请求；

5.9.1.3 ETIMER 电气数据及时序

5.9.1.3.1 ETIMER 时序要求

表 5-25 列出了 ETIMER 时序要求。

表 5-25 ETIMER 时序要求

参数		最小值	最大值	单位
T_{wtrig} 触发输入脉宽 ^[1]	异步	$2t_{c(ETIMCLK)}$		Cycle
	同步	$2t_{c(ETIMCLK)}$		
T_{wcap} 采集输入脉宽 ^[1]	异步	$2t_{c(ETIMCLK)}$		
	同步	$2t_{c(ETIMCLK)}$		
T_{wxin} 外部输入 ^[2]		$2t_{c(XBARCLK)}$		

 说明

[1] 芯片内部到 ETIMER 模块的触发和采集信号,应符合 ETIMER 模块对输入信号的脉宽要求。

[2] 从 GPIO 口输入到 XBAR 的信号,应符合 XBAR 模块对外部输入信号的脉宽要求。

5.9.1.3.2 ETIMER 开关特性

表 5-26 列出了 ETIMER 开关特性。

表 5-26 ETIMER 开关特性

参数		最小值	最大值	单位
$T_{w(PWM)}$	PWM 发波脉冲宽度 (高或低电平有效脉冲)	10		ns
$T_{w(EVT)}$	事件输出信号脉冲宽度	16		Cycle
T_{ptd}	封波延迟 (从外部输入封波指示到 PWM 输出端口响应封波电平设置的时间: 置低/置高)	4 ^[1]	5 ^[1]	Cycle

 说明

[1] 该最大、最小值是 ETIMER 模块工作在没有开启 XBAR 对 GPIO 信号滤波。

5.9.2 超高精度脉宽调制模块 (SRPWM)

Super Resolution PWM (SRPWM) 模块包含 4 通道 (通道 0~通道 3) 高精度 PWM 发波模块和 8 通道 (通道 4~通道 11) 标准 PWM 发波模块。每个通道可输出一对发波信号 (互补或独立配置可选), 共计输出 24 路 PWM 波。24 路 PWM 波的周期、相位、占空比及死区均可独立配置, 其中 0~3 通道的周期、占空比及死区支持高精度调整, 调整精度最高可达 156 ps (200 MHz 工作时钟)。各发波通道间支持主从同步或独立运行。各通道均支持外部异常信号、内部比较器输出信号, 以及内部故障/告警/复位/看门狗等多种信号触发的封波保护。

- 为 ETIMER 提供消隐触发信号；
- 为 QEP 提供 2 路触发信号；
- 每个 SRPWM 通道提供一个中断信号；
- 整个 SRPWM 模块可提供 4 路 DMA 请求信号；

5.9.2.2 SRPWM 通道内部特性

图 5-20 是关于 SRPWM 单个通道的内部框图。

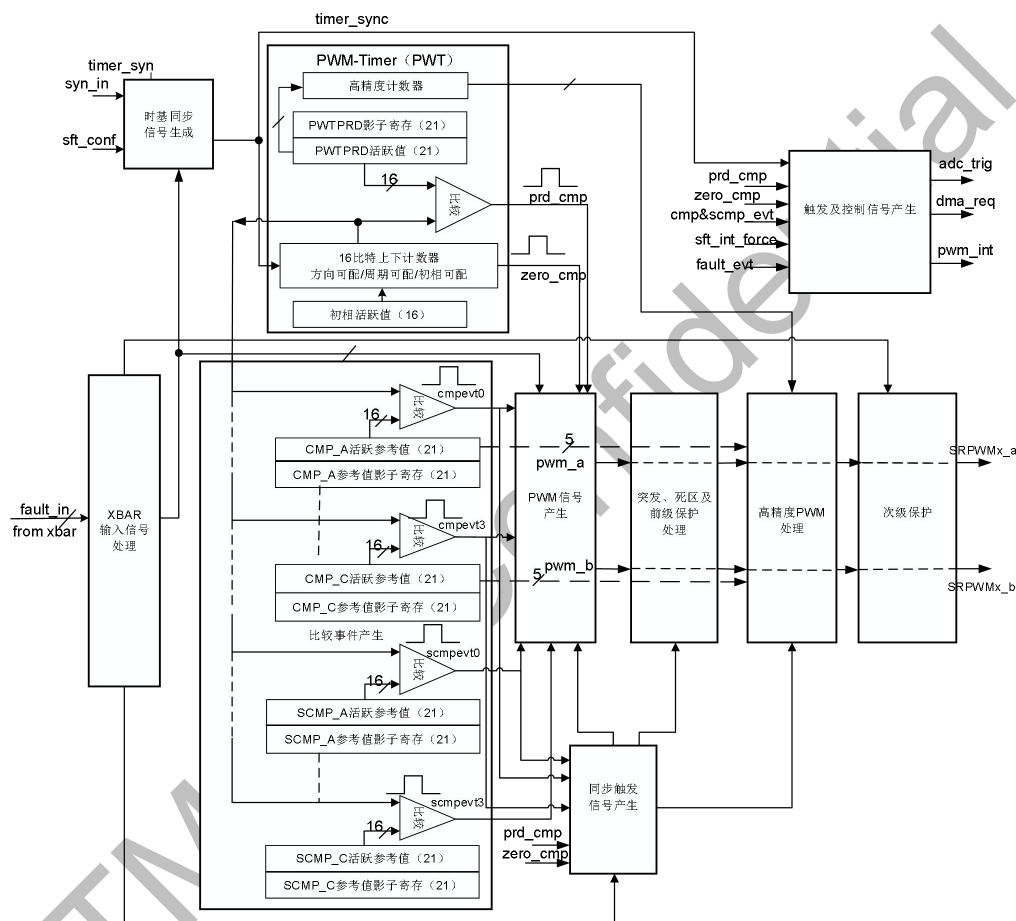


图 5-21 SRPWM 单个通道内部框图

SRPWM 通道特性如下：

- 每个通道均独占 22-bit 标准精度定时器 (200 MHz 工作时钟下，精度 5 ns)；
- 0~3 通道除支持标准精度定时器，还分别配备 5-bit 高精度定时器 (200 MHz 时钟下，精度 156 ps)；
- 0~11 通道均支持发波周期、占空比、死区的标准精度调整，其精度为 5 ns；
- 0~3 通道支持发波周期、占空比、死区高精度调整，精度达 156 ps (200 MHz 工作时钟)；
- 支持丰富的比较事件：每个通道提供 4 组 Master 比较器和 4 组 Slave 比较器产生比

较事件；

- 可自由选择外部 GPIO 输入、内部 ACMP 输出结果以及各类故障/告警/复位信号进行封波保护操作；
- 封波保护形式可选：CBC/One-shot/无约束；
- 封波保护结果可选：置低电平/置高电平/取反/置高阻；
- 多种同步方式：
 - 外部触发
 - 芯片其他模块触发
 - PWM 通道间触发
 - 通道内部事件触发可选
- 支持所有通道或若干通道并发同时配置；
- 所有通道的关键参数寄存器（周期、占空比、死区、发波响应等）支持通道间同步加载；
- 支持突发发波：M 个周期中连续 N 个周期发波，(M-N) 个周期不发波；
- 支持通道内部以及通道之间的 PWM 信号互斥检测及保护，互斥条件可自由定义；
- 每个通道均支持从 20 余个事件中选择 ADC 采数触发事件；
- 每个通道输出 2 路同步信号，用于其余通道的同步处理或送出芯片作为片外同步信号；
- 每个通道可产生一路中断信号，中断源可在 20 余种事件中选择；
- 每个通道可产生一个 DMA 请求，DMA 触发源可从 20 余种事件中选择；
- 集成谷值开关功能；

5.9.2.3 SRPWM 模块的高精度脉宽调整

高精度脉宽调整的特性如下：

- 整合多级延迟线及相应校准电路；
- 为 4 个通道（8 条支路）的 SRPWM 发波信号提供高精度调整；
- 显著提升发波信号的分辨率（200 MHz 时钟下，精度高达 156 ps）；
- 通道内部两个支路的 SRPWM 发波信号均支持独立调整上升沿与下降沿位置；
- 与 SRPWM 数字逻辑配合，实现频率/周期、占空比、死区/相位的高精度独立调整或联合调整；

5.9.2.4 SRPWM 电气数据及时序

5.9.2.4.1 SRPWM 时序要求

表 5-27 列出了 SRPWM 时序要求。

表 5-27 SRPWM 时序要求

参数		最小值	最大值	单位
T_{wsyn}	同步输入信号脉宽 ^[1]	$2t_{c(XBARCLK)}$		Cycle
T_{wxin}	外部输入封波指示 ^[1]	$2t_{c(XBARCLK)}$		

说明

- [1] 芯片外部输入的 SRPWM 同步信号以及封波指示信号均需从 GPIO 口经由 XBAR 处理后输入到 SRPWM 模块，因此需符合 XBAR 模块对外部输入信号的脉宽要求。

5.9.2.4.2 SRPWM 开关特性

表 5-28 列出了 SRPWM 开关特性。

表 5-28 SRPWM 开关特性

参数			最小值	最大值	单位
$T_{w(PWM)}$	PWM 发波脉冲宽度（高或低电平有效脉冲）	标准精度	20		ns
		高精度	25		ns
$T_{w(SYNCOUT)}$	同步信号输出脉冲宽度		16		Cycle ^[1]
T_{ptd}	封波延迟（从外部输入封波指示到 PWM 输出端口响应封波电平设置的时间：置低/置高/翻转/高阻） ^[2]			50 ^[3]	ns

说明

- [1] SRPWM 同步输出信号需先经由 XBAR 处理后输出片外，此处 Cycle 为 XBAR 工作时钟周期数。
- [2] 外部输入的封波指示需经 XBAR 送到 SRPWM 模块，因此 T_{ptd} 包含了封波指示在 XBAR 内部处理的延迟，小于该最大延迟值的条件是启用快速封波模式。
- [3] 该值是基于 SRPWM 模块工作在 200 MHz 时钟频率，且 PWM 内部滤波使能无效条件下的估值。

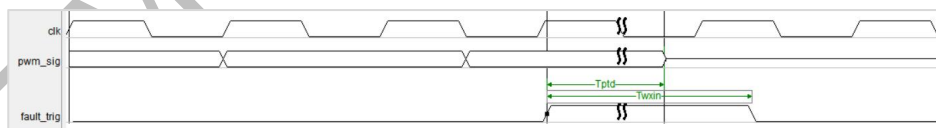


图 5-22 SRPWM 外部触发封波的延迟时间示意图

5.9.2.4.3 高精度调整特性

表 5-29 列出了高精度调整特性。

表 5-29 高精度调整特性

参数	最小值	典型值	最大值	单位
高精度调整步长		156		ps

5.9.3 Σ - Δ 滤波器模块 (SDFM)

SDFM 特性:

- 每个 SDFM 模块八个外部引脚
 - 每个 SDFM 模块有四个 Σ - Δ 数据输入引脚 (sdfm-d[x], 其中 x=0 至 3)
 - 每个 SDFM 模块有四个 Σ - Δ 时钟输入引脚 (sdfm-c[x], 其中 x=0 至 3)
- 支持一种调制器时钟模式:
 - 调制器时钟速率等于调制器数据速率
- 每个 SDFM 模块有四个独立的可配置第二滤波器 (比较器) 单元:
 - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
 - 能够检测高值条件, 低值条件和阈值越过条件
 - ✓ 两个独立的更高阈值比较器 (被用作检查高值条件)
 - ✓ 两个独立的更低阈值比较器 (被用作检查低值条件)
 - ✓ 一个独立的阈值越过比较器 (被用 ETIMER 测量占空比/频率)
 - 比较器滤波器单元的 OSR 值 (COSR) 可编程为 1 至 32
- 每个 SDFM 模块有四个独立的可配置主滤波器 (数据滤波器) 单元:
 - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
 - 数据滤波器单元的 OSR 值 (DOSR) 可编程为 1 至 256
 - 能够启用或禁用独立的滤波器模块 (或全部)
 - 能够使用主滤波器使能位或 PWM 同步信号 (sdfm_pwm_in) 来同步 SDFM 模块的所有四个独立滤波器
- 数据滤波器输出可以用 16 位或 32 位表示 (有效位为 26 位)。
- 数据滤波器单元具有可编程模式 FIFO 来减少中断开销。该 FIFO 具有以下特性:
 - 主滤波器 (数据滤波器) 具有一个 16 深度×26 位 FIFO
 - FIFO 可在达到可编程数量的数据就绪事件后中断 CPU
 - FIFO 等待同步功能: 能够忽略数据就绪事件, 直至接收到 PWM 同步信号。一旦接收到 PWM 同步信号, 就会在每个数据就绪事件时填充 FIFO
 - 数据滤波器输出可以用 16 位或 32 位表示
- 每个数据滤波器通道可以单独配置 sdfm_pwm_in 中的 1 位为 PWM 的同步信号源
- 可使用 PWM 的输出作为外部 Σ - Δ 模拟调制器的时钟
- sdfm-c[x]和 sdfm-d[x]都做了滤波处理
- 能够使用一个滤波器通道时钟 (sdfm-c[0]) 为其他滤波器时钟通道提供时钟
- 在发生比较器滤波器事件时可以使用可配置的数字滤波器来清除杂散噪声引起的比较器事件

图 5-22 展示了 SDFM 模块框图。

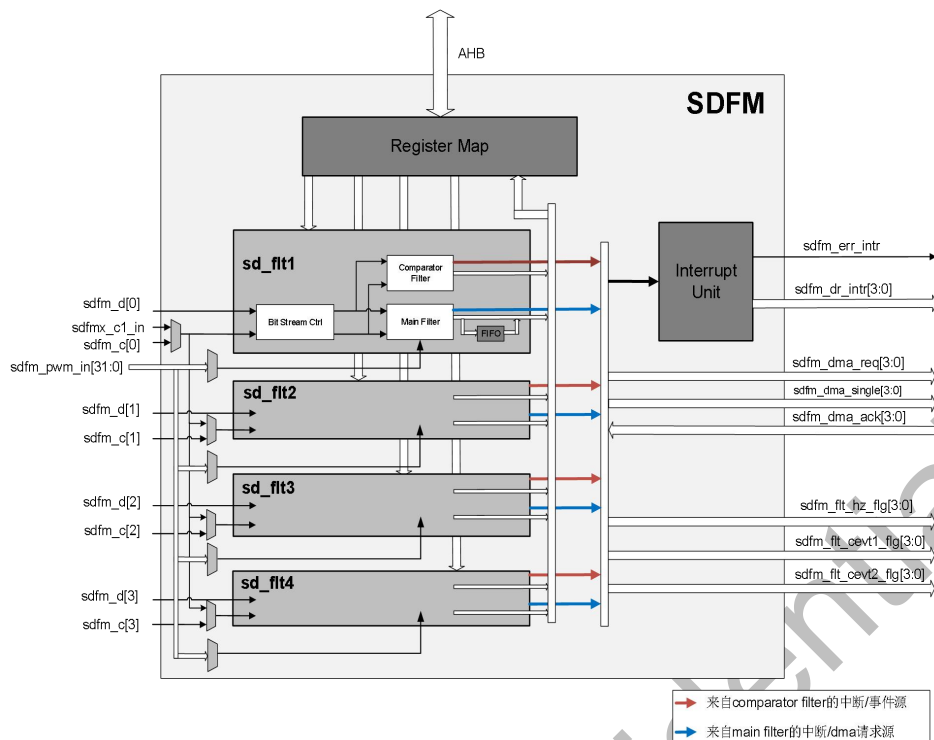


图 5-23 SDFM 模块框图

5.9.3.1 SDFM 电气数据和时序

电气数据和时序注意事项如下：

警告

- 应该对 `sdfm-c[x]` 和 `sdfm-d[x]` 信号采取特殊的预防措施，确保信号干净且无噪声，满足 SDFM 时序要求。建议采取的预防措施包括对时钟驱动器的任何阻抗不匹配而导致的振铃噪声采用串联终端电阻，以及与其他噪声信号保持走线隔离。

注意

- `sdfm-c[x]` 和 `sdfm-d[x]` 信号与 SDFM 工作时钟同步后可防止由于偶尔出现的随机噪声干扰（这些干扰可能造成比较器跳闸和滤波器输出错误）而导致的 SDFM 模块损坏。但是，这些信号对持续违反上述时序要求的情况不提供保护。时序违规将导致与违反要求的位数成正比的数据损坏。

5.9.3.1.1 使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

表 5-30 使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
$T_{(sdc)}$	周期时间, <code>sdfm_c[x]</code>	$4 \cdot t_{c(clk)}$	$256 \cdot t_{c(clk)}$	ns
$T_{(sdhl)}$	脉冲持续时间, <code>sdfm_d[x]</code> (高电平/低电平)	$2 \cdot t_{c(clk)}$	-	ns
$T_{su(sddv-sdch)}$	<code>sdfm_c[x]</code> 变为高电平之前 <code>sdfm_d[x]</code> 的建立时间	$1 \cdot t_{c(clk)} + 3$	-	ns
$T_{(sdch-sdd)}$	<code>sdfm_c[x]</code> 变为高电平之后 <code>sdfm_d[x]</code> 的保持时间	$1 \cdot t_{c(clk)} + 3$	-	ns

5.9.4 正交编码器脉冲 (QEP)

ET6002 的 QEP (Quadrature Encoder Pulse) 需配合增量正交编码器使用。

该外设的主要特性如下：

- 每个 QEP 模块 4 个外部引脚 (A/B/INDEXE/STROBE)；
- 兼容 CW/CCW 格式及方向脉冲格式；
- 支持独立的 M 法测速，支持独立的 T 法测速；

ET6002 的 QEP 外设主要包含以下主要功能单元 (参考图 5-23)：

- 输入选择及模式适配处理单元 (PROC)；
- 用于 M 法测转速时，指定时基单元 (UTIME)；
- 位置计数器控制单元 (PCCU)；
- 用于 T 法测转速的捕获单元 (CAP)；
- 检测失速单元 (WDG)；

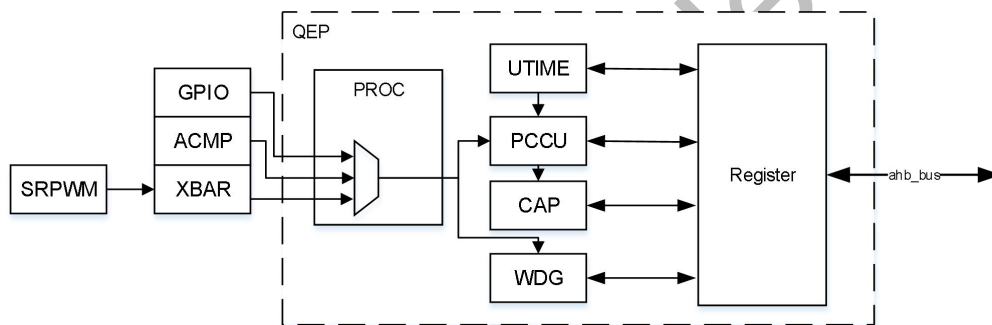


图 5-24 QEP 内部框图

5.9.4.1 QEP 电气数据及时序

5.9.4.1.1 QEP 时序要求

表 5-31 列出了 QEP 时序要求。

表 5-31 QEP 时序要求

参数			最小值	最大值	单位
T _{wqep}	A/B 相输入高低电平宽度	异步 ^[1]	$2t_{c(QEPCLK)} + t_{w(IQSW)}$		Cycle
		同步	$2t_{c(QEPCLK)}$		
T _{windex}	INDEX 输入高低电平脉宽	异步 ^[1]	$2t_{c(QEPCLK)} + t_{w(IQSW)}$		
		同步	$2t_{c(QEPCLK)}$		
T _{wstrobe}	STROBE 输入低电平脉宽	异步 ^[1]	$2t_{c(QEPCLK)} + t_{w(IQSW)}$		
		同步	$2t_{c(QEPCLK)}$		

说明

[1] 异步主要针对 GPIO 的输入。

5.9.4.1.2 QEP 开关特性

表 5-32 表列出了 QEP 开关特性。

表 5-32 QEP 开关特性

参数		最小值	最大值	单位
T_{cd}	QEP A/B 变化到内部计数值变化的延迟时间	异步 ^[1]	$7t_{c(QEPCLK)} + t_{w(IQSW)}$	Cycle
		同步	$2t_{c(QEPCLK)}$	
$T_{compout}$	QEP 输入边沿到同步输出	异步 ^[1]	$11t_{c(QEPCLK)} + t_{w(IQSW)}$	
		同步	$6t_{c(QEPCLK)}$	



说明

[1] 异步主要针对 GPIO 的输入。

5.10 通信外设

5.10.1 UART 接口

ET6002 提供 2 组 UART 接口 (UART0~1)。UART0~1 支持 RS485 标准定义的 2 线普通串口模式和流控串口模式。具体特性如下：

- 支持 UART 最高波特率 $\geq 1M$ Baud；
- 支持 9 位串行数据；
- 支持错误起始位检测，检测中断上报；
- 输入参考时钟为 100 MHz，支持可编程波特率发生器，可对 UART 输入的 SCLK 时钟进行固定 16 分频后，再进行 16-bit 整数位分频以及 5-bit 小数位分频，以支持可编程分数波特率；
- 可以配置为软件可编程 RS485 模式，支持多点 RS485 接口。如果未使能此模式，则仅支持 UART (RS232 标准) 串行数据格式通信；
- 支持基于内部接收和发送 FIFO 数据水位触发中断；TX FIFO 和 RX FIFO 各为 16bytes；
- 支持 FIFO Test 模式 (Master 向 TX FIFO 缓冲区写发送数据，然后从 RX FIFO 缓冲区中读接收数据)，即 TX→RX 的环回测试；
- 兼容 ISO 16750 标准的自动流量控制模式，提高系统效率并减少软件负载；
- 支持硬件 DMA 握手请求；

UART 内部框图如下：

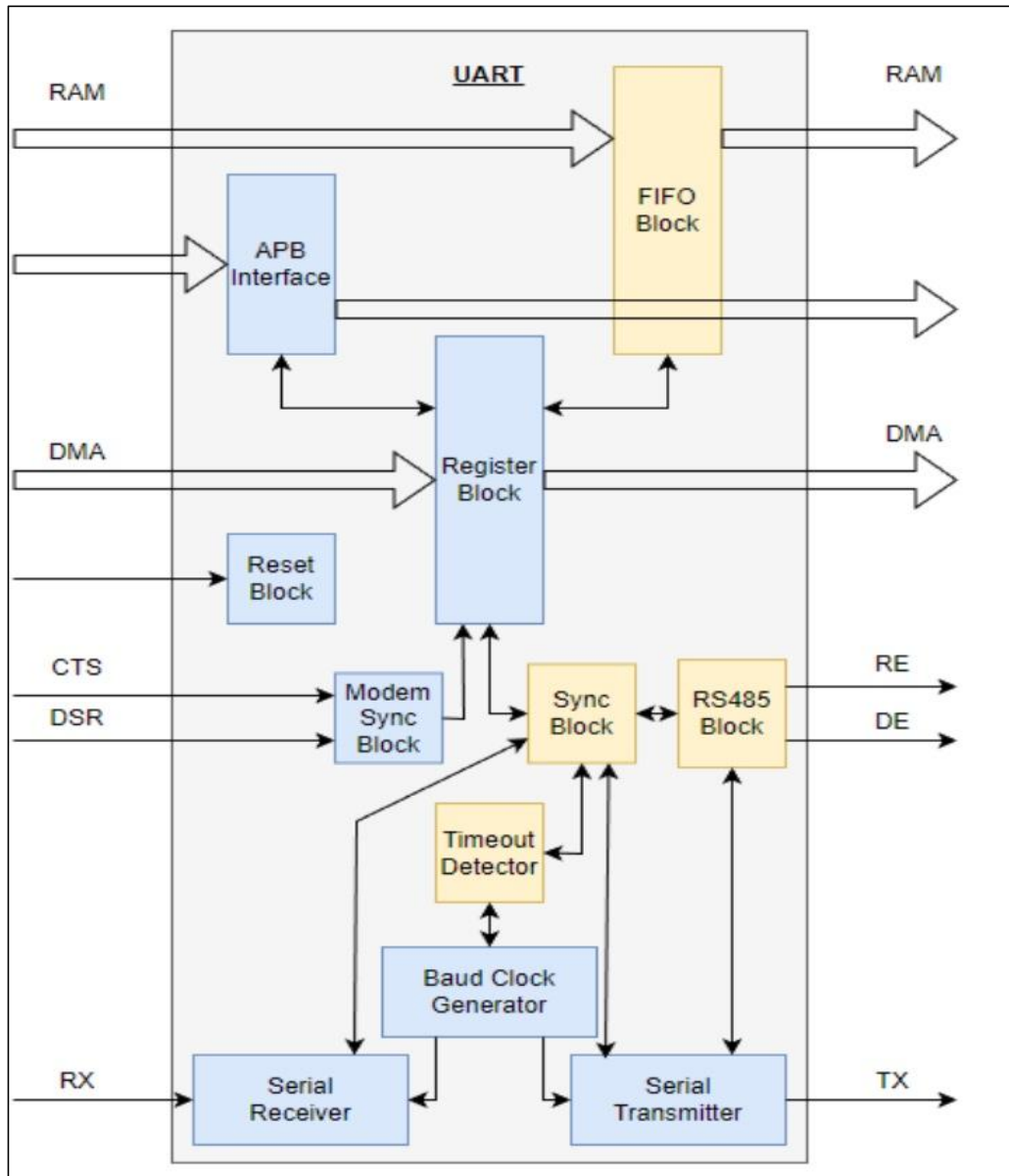


图 5-25 UART 内部框图

5.10.2 SPI Master 接口

ET6002 提供 3 组 1 线 SPI Master 接口，支持如下特性：

- 支持 16-bit 内偶数整数分频系数配置，对应 SPI 输出时钟计算公式为 $SSI_CLK (100\text{ MHz})/\text{分频系数}$ 。
- SPI Master 输出 SCLK 频率最高为 25 MHz；
- SPI Master 最高写时钟和最高读时钟均为 25MHz，SPI Master IP 核支持接收端采样延时 (RX_SAMPLE_DELAY)，Delay 颗粒度基于 SSI_CLK 时钟频率 (100 MHz)；
- SPI Master 支持的协议：
 - Motorola SPI 协议
 - TI 的 Synchronous Serial Protocol (SSP) 协议

- National Semiconductor Microwire 协议

- 支持最大 16-bit 传输数据帧，数据帧长度可配置；
- SPI Master 支持 4 路 CS 信号输出；
- 支持硬件 DMA 握手请求；
- 支持基于内部接收和发送 FIFO 数据水位触发中断，其中 SPI Master0 接收和发送 FIFO 深度为 32，SPI Master1、2 接收和发送 FIFO 深度为 16，FIFO 宽度均为 16bit；
- 支持 TX-RX 环回测试；
- SPI 协议模式下支持通过软件配置输出时钟的有效相位和极性；

SPI Master 内部框图如下：

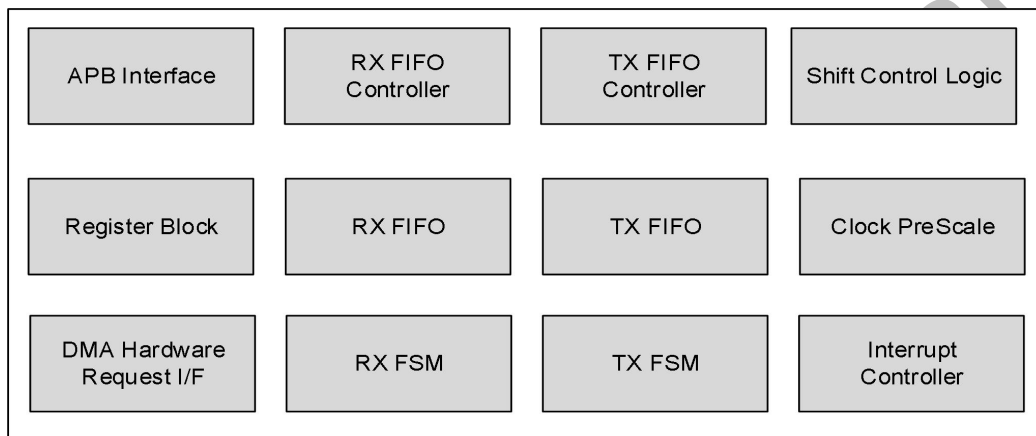


图 5-26 SPI Master 内部框图

SPI Master 接口静态时序

(1) SPI Master 上升沿发送/接收

SPI Master 在 SCLK 时钟上升沿接收数据，SPI Slave 在 SCLK 时钟下降沿发送数据。

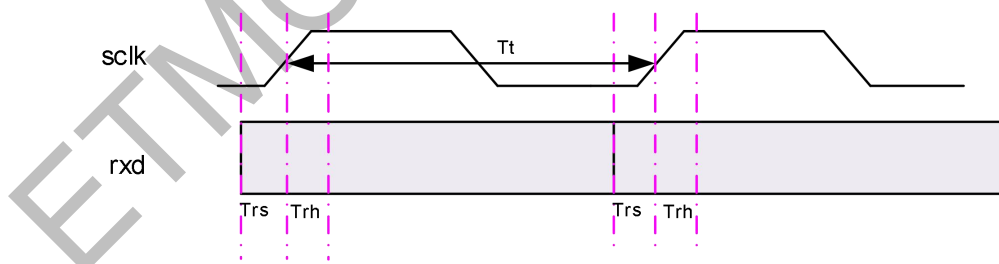


图 5-27 SPI Master 在 SCLK 时钟上升沿接收数据

SPI Master 在 SCLK 时钟上升沿发送数据，SPI Slave 在 SCLK 时钟下降沿接收数据。

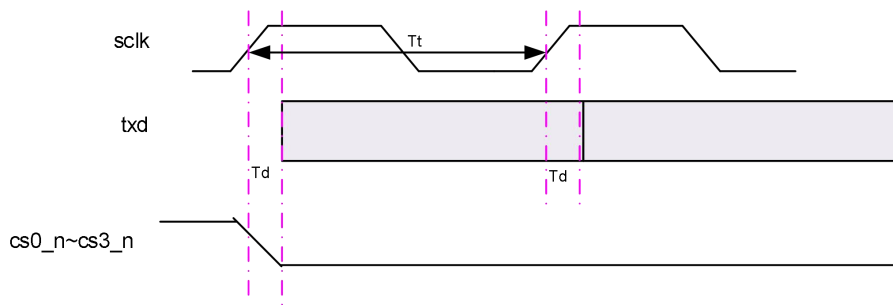


图 5-28 SPI Master 在 SCLK 时钟上升沿发送数据

表 5-33 SPI Master 接口静态时序参数 (上升沿发送/接收)

符号	含义	最小值	典型值	最大值
T_t	时钟周期		40 ns (25 MHz)	
T_{rs}	接收建立时间		18 ns	
T_{rh}	接收保持时间		-4.5 ns	
T_d	输出延时	-4 ns		11 ns

(2) SPI Master 下降沿发送/接收

SPI Master 在 SCLK 时钟下降沿接收数据, SPI Slave 在 SCLK 时钟上升沿发送数据。

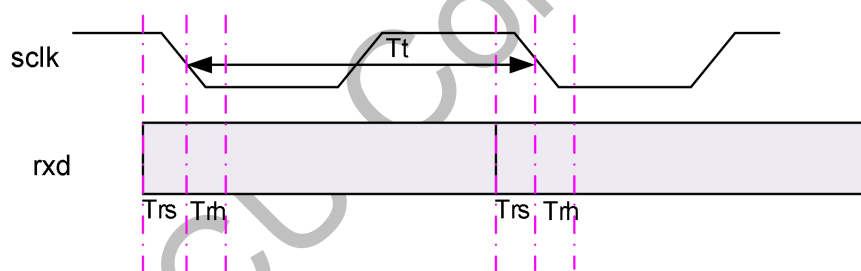


图 5-29 SPI Master 在 SCLK 时钟下降沿接收数据

SPI Master 在 SCLK 时钟下降沿发送数据, SPI Slave 在 SCLK 时钟上升沿接收数据。

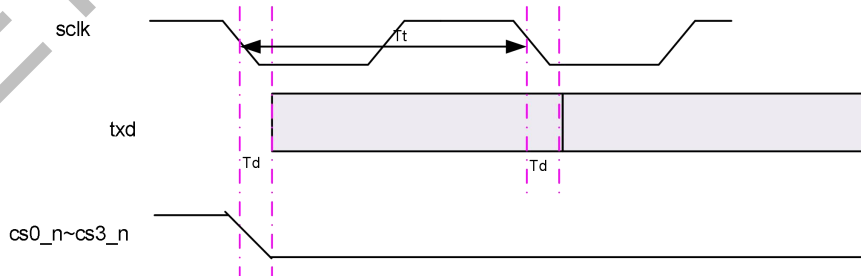


图 5-30 SPI Master 在 SCLK 时钟下降沿发送数据

表 5-34 SPI Master 接口静态时序参数 (下降沿发送/接收)

符号	含义	最小值	典型值	最大值
T_t	时钟周期		40 ns (25 MHz)	

			MHz)	
Trs	接收建立时间		18 ns	
Trh	接收保持时间		-4.5 ns	
Td	输出延时	-4 ns		11 ns

5.10.3 SPI Slave 接口

ET6002 提供 1 组 1 线 SPI Slave 接口，支持如下特性：

- SPI Slave 最高写时钟和最高读时钟均为 20 MHz；
- SPI Slave 支持的协议：
 - Motorola SPI 协议
 - TI 的 Synchronous Serial Protocol (SSP) 协议
 - National Semiconductor Microwire 协议
- 支持最大 32-bit 传输数据帧，数据帧长度可配置；
- 支持硬件 DMA 握手请求；
- 支持基于内部接收和发送 FIFO 数据水位触发中断，接收和发送 FIFO 深度为 16，FIFO 宽度为 16bit；
- 支持 TX-RX 环回测试；
- SPI 协议模式下支持通过软件配置输出时钟的有效相位和极性；

SPI Slave 内部框图如下：

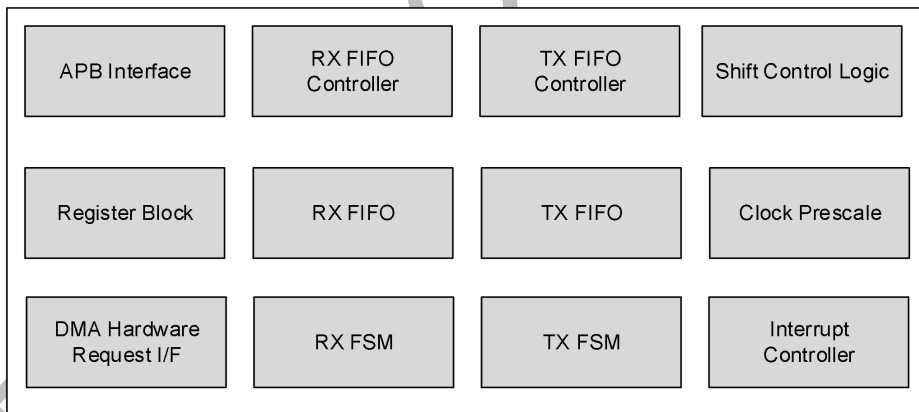


图 5-31 SPI Slave 内部框图

SPI Slave 接口静态时序

(1) SPI Slave 下降沿发送/接收

SPI Slave 在 SCLK 时钟下降沿发送数据，SPI Master 在 SCLK 时钟上升沿接收数据。

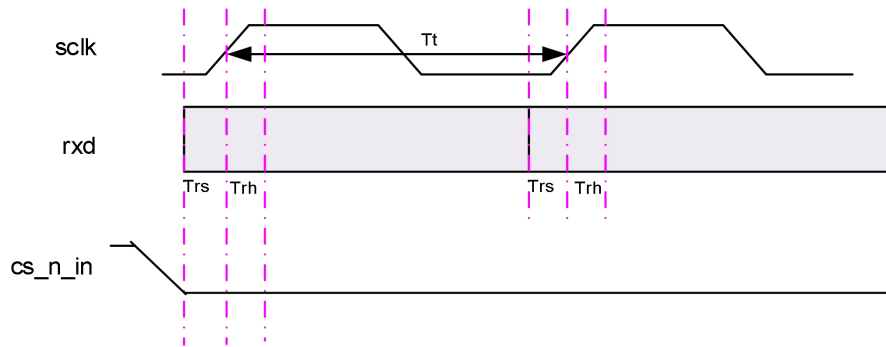


图 5-32 SPI Slave 在 SCLK 时钟下降沿发送数据

SPI Slave 在 SCLK 时钟下降沿接收数据，SPI Master 在 SCLK 时钟上升沿发送数据。

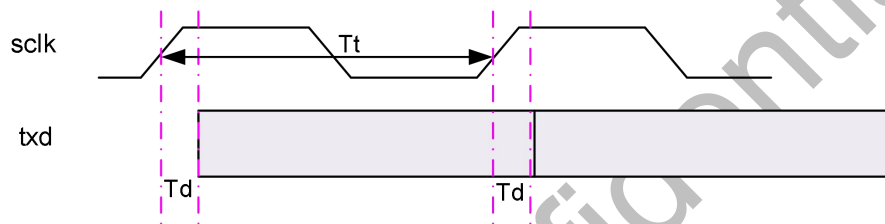


图 5-33 SPI Slave 在 SCLK 时钟下降沿接收数据

表 5-35 SPI Slave 接口静态时序参数 (下降沿发送/接收)

符号	含义	最小值	典型值	最大值
Tt	时钟周期		50 ns (20 MHz)	
Trs	接收建立时间		12 ns	
Trh	接收保持时间		3 ns	
Td	输出延时	-3.2 ns		4 ns

(2) SPI Slave 上升沿发送/接收

SPI Slave 在 SCLK 时钟上升沿发送数据，SPI Master 在 SCLK 时钟下降沿接收数据。

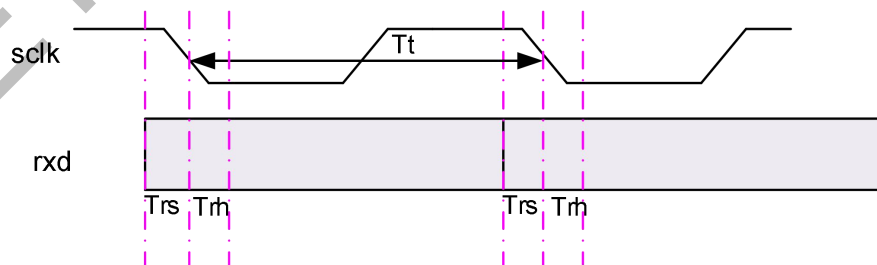


图 5-34 SPI Slave 在 SCLK 时钟上升沿发送数据

SPI Slave 在 SCLK 时钟上升沿接收数据，SPI Master 在 SCLK 时钟下降沿发送数据。

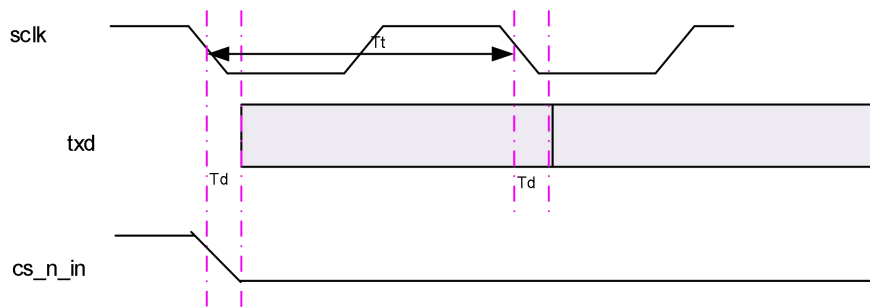


图 5-35 SPI Slave 在 SCLK 时钟上升沿接收数据

表 5-36 SPI Slave 接口静态时序参数 (上升沿发送/接收)

符号	含义	最小值	典型值	最大值
T_t	时钟周期		50 ns (20 MHz)	
T_{rs}	接收建立时间		12 ns	
T_{rh}	接收保持时间		3 ns	
T_d	输出延时	-3.2 ns		4 ns

5.10.4 I2C 接口

ET6002 提供 2 组 I2C 接口，支持如下特性：

- 支持三种 I2C 接口速率模式：标准模式 (100 kbit/s)，快速模式 (400 kbit/s)，快速增强模式 (1 Mbit/s)。
- 支持 SMBus V3.0 和 PMBus V1.2 协议标准；
- 支持通过软件配置 I2C 器件 Master 模式和 Slave 模式；
- 支持 7 位和 10 位寻址模式；
- 支持基于内部接收和发送 FIFO 数据水位触发中断，接收和发送 FIFO 深度为 16，FIFO 宽度为 8bit；
- 支持在所有速度模式下处理 Bit 和 Byte 等待；
- 支持 SDA 保持时间可编程；
- 支持总线清零 (Bus Clear) 特性；
- 支持硬件 DMA 握手请求；

I2C 内部框图如下：

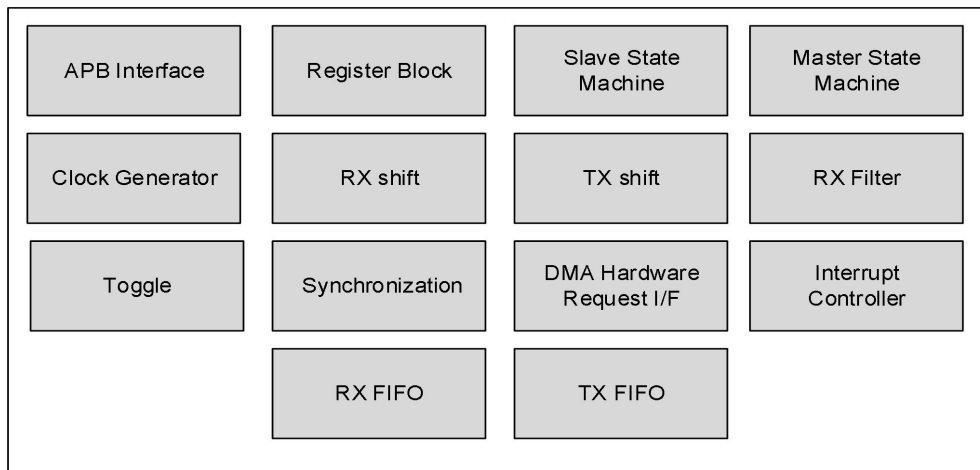


图 5-36 I2C 内部框图

I2C 接口静态时序

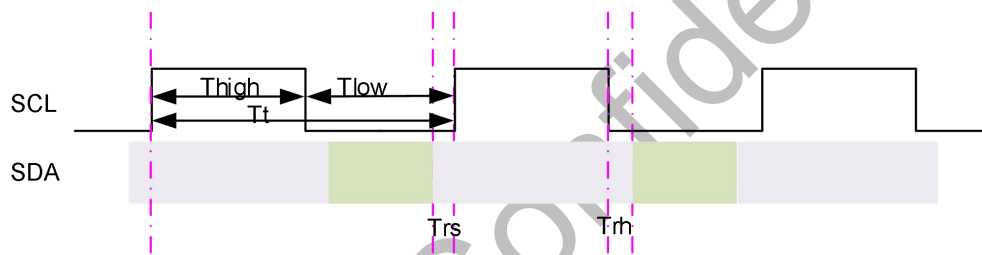


图 5-37 I2C 静态时序图

表 5-37 I2C 接口静态时序参数

符号	含义	最小值	典型值	最大值
T_t	时钟周期	100 kHz	400 kHz	1 MHz
T_{rs}	接收建立时间		200 ns	
T_{rh}	接收保持时间		200 ns	

5.10.5 CAN FD 接口

ET6002 提供 2 组 CAN FD 接口，最高支持 8 Mbit/s 的速率，向下兼容 CAN2.0 协议标准。支持如下特性：

- 遵从 ISO 11898-1:2015、ISO 11898-4 标准；
- CAN FD 模式下最大支持 64-byte 数据帧格式；
- 每路 CAN 设备只能作为 1 个节点接入 CAN 总线网络使用；
- 硬件支持 TTCAN Level 1，TTCAN Level 2 协议；
- 支持基于同步事件触发的通信；
- 支持 CAN 通信过程错误记录；

- 支持 SAE J1939 BOSCH 标准；
- 支持优化的接收帧数据滤波机制；
- 2 个 CAN IP 共享消息 RAM 大小为 8 KB，支持 SECDED (单 bit 纠错，两 bit 检错) 的 ECC 保护机制，支持访问错误地址上报；
- 支持 2 个深度可配接收 FIFO；
- 支持区分接收过程中的高优先级数据帧消息；
- 支持最大 64 元素 (Element) 的接收缓存；
- 支持最大 32 元素 (Element) 的发送缓存；
- 支持 1 个深度可配置的发送 FIFO；
- 支持可配置的发送队列机制；
- 支持 1 个深度可配置的事件发送 FIFO；

CAN FD 内部框图如下：

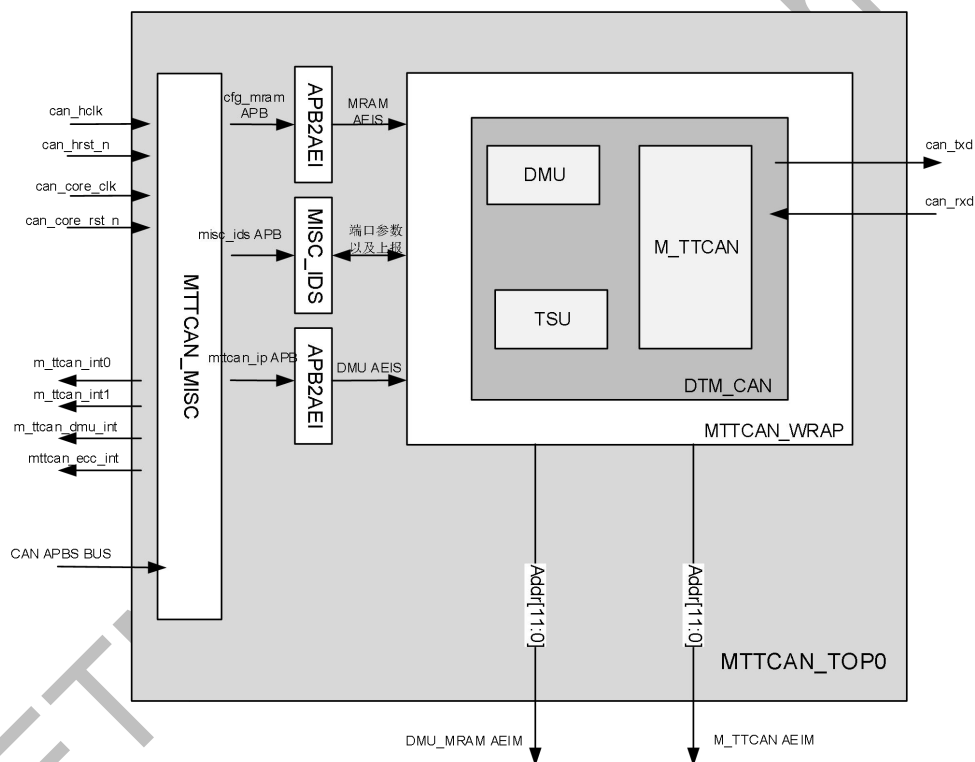


图 5-38 CAN FD 内部框图

6

芯片详细描述

6.1 概述

ET6002 是一款功能丰富的高性能数模混合微控制器 (MCU/DSP)，内部集成 1 个 ARM Cortex-M7 处理器，丰富的硬件加速器，控制外设，通信外设，模拟外设，和非易失性存储器。

内置的 32 位 ARM Cortex-M7 处理器，基于 ARMv7E-M 架构，最高工作时钟频率可达 300 MHz。Cortex-M7 核内部集成单精度浮点运算单元 (FPU) 和高级 DSP 硬件加速器，可支持 DSP 扩展，如单指令多数据 (SIMD) 处理、饱和运算指令、广泛的单周期 MAC 指令等。Cortex-M7 核内部还集成了零等待执行的指令和数据紧耦合存储器 (TCM)，以及指令和数据缓存 (Cache)，可提高内部和外部存储器访问性能。

ET6002 集成的硬件加速器包括可支持 24 比特精度定点运算的三角函数加速器 CORDIC，硬件 CRC 以及支持 FIR/IIR 滤波算法加速的 FMAC。

ET6002 支持高达 512 MB 的嵌入式 PFLASH，可配置为 2 个 256 KB 的 Bank，以支持 256KB OTA 烧写；同时支持 128 KB 的嵌入式 DFLASH。此外，ET6002 提供 96 KB 的片内 SRAM 以及 2KB 的用户 OTP。

ET6002 内部集成了丰富的高性能模拟模块，包括 3 个独立的 12-bit ADC，支持 34 路模拟采样通道，采样速率最高可达 4 MSPS；2 路完全独立的 12-bit Buffered DAC；4 路内置 12-bit DAC 的模拟窗口比较器 ACMP，也可配置成 8 路独立比较器使用。

ET6002 还集成了高精度 PWM 模块 (SRPWM)，可提供 12 通道，24 路独立的 PWM 输出，其中 8 路支持高精，最小分辨率可达 156ps；14 路 32-bit 增强型定时器 (ETIMER) 同时支持 CAP 捕获和 PWM 输出功能；以及正交编码模块 (QEP)、 Σ - Δ 滤波器模块 (SDFM)，64-bit 超级定时器 (STIMER)。

ET6002 还支持 CAN FD，UART，I2C，SPI 等各种业界通用通信接口。

6.2 功能框图

图 6-1 展示了 ET6002 芯片内部的功能模块和总线互连架构。

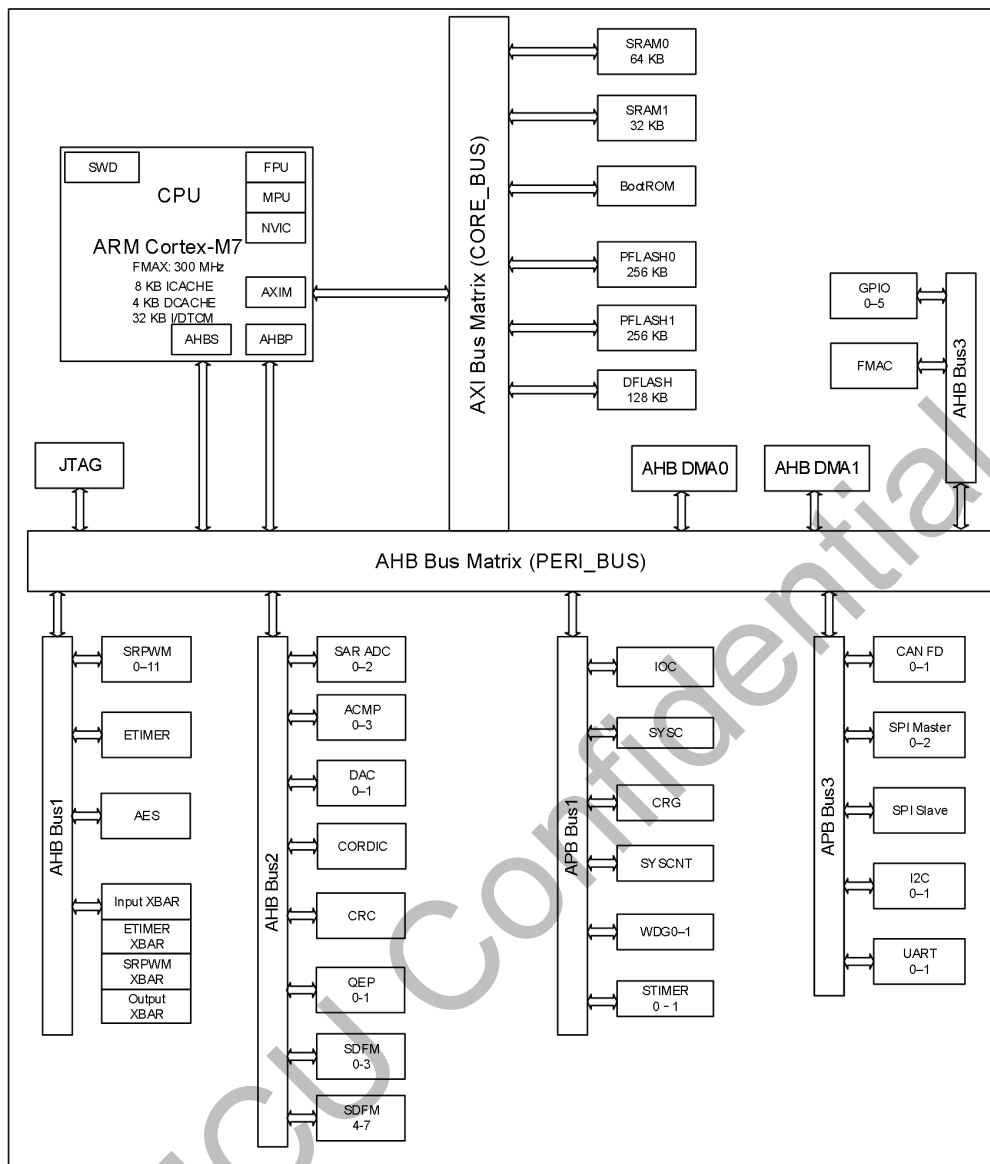


图 6-1 ET6002 芯片功能框图

6.3 内存

ET6002 内部存储描述如下：

- 内置 1 个 Cortex-M7 CPU，Cortex-M7 核自带 32KB ITCM 和 32KB DTCM、自带 8KB ICACHE 和 4KB DCACHE；TCM 和 Cache 都支持 SECDED (单 bit 纠错，两 bit 检错) 的 ECC 保护机制。
- 内置 2 块 256 KB 的 PFLASH, 2 块 PFLASH 可独立使用 (此时支持 OTA 在线升级，且不影响当前程序的运行)，也可以通过地址扩展映射为 512KB 的空间使用。PFLASH 支持 SECDED (单 bit 纠错，两 bit 检错) 的 ECC 保护机制。
- 内置一个 128 KB 的 DFLASH，支持 SECDED (单 bit 纠错，两 bit 检错) 的 ECC 保护机制。
- 内置 2 块 AXI SRAM，1 块 SRAM 大小为 64 KB，1 块 SRAM 大小为 32 KB。这 2

块 SRAM 可以独立使用，也可以通过地址深度扩展使用。每块 AXI SRAM 支持 SECDED (单 bit 纠错，两 bit 检错) 的 ECC 保护机制。

ET6002 芯片内部的内存映射表如下:

表 6-1 ET6002 内部内存映射表

Device Module	Size	M7_MAP		DMA	
		Start Address	End Address	Start Address	End Address
ITCM_M7	32KB	0x0000_0000	0x0000_7FFF	0x2800_0000	0x2800_7FFF
PFLASH0	256KB	0x0800_0000	0x0803_FFFF	0x0800_0000	0x0803_FFFF
PFLASH1	256KB	0x0804_0000	0x0807_FFFF	0x0804_0000	0x0807_FFFF
DFLASH	128KB	0x0808_0000	0x0809_FFFF	0x0808_0000	0x0809_FFFF
DTCM_M7	32KB	0x2000_0000	0x2000_7FFF	0x2840_0000	0x2840_7FFF
AXI_SRAM0	64KB	0x2040_0000	0x2040_FFFF	0x2040_0000	0x2040_FFFF
AXI_SRAM1	32KB	0x2041_0000	0x2041_7FFF	0x2041_0000	0x2041_7FFF
ROM	32KB	0x2045_0000	0x2045_7FFF	0x2045_0000	0x2045_7FFF
SRPWM0	4KB	0x4000_0000	0x4000_0FFF	0x4000_0000	0x4000_0FFF
SRPWM1	4KB	0x4000_1000	0x4000_1FFF	0x4000_1000	0x4000_1FFF
SRPWM2	4KB	0x4000_2000	0x4000_2FFF	0x4000_2000	0x4000_2FFF
SRPWM3	4KB	0x4000_3000	0x4000_3FFF	0x4000_3000	0x4000_3FFF
SRPWM4	4KB	0x4000_4000	0x4000_4FFF	0x4000_4000	0x4000_4FFF
SRPWM5	4KB	0x4000_5000	0x4000_5FFF	0x4000_5000	0x4000_5FFF
SRPWM6	4KB	0x4000_6000	0x4000_6FFF	0x4000_6000	0x4000_6FFF
SRPWM7	4KB	0x4000_7000	0x4000_7FFF	0x4000_7000	0x4000_7FFF
SRPWM8	4KB	0x4000_8000	0x4000_8FFF	0x4000_8000	0x4000_8FFF
SRPWM9	4KB	0x4000_9000	0x4000_9FFF	0x4000_9000	0x4000_9FFF
SRPWM10	4KB	0x4000_A000	0x4000_AFFF	0x4000_A000	0x4000_AFFF
SRPWM11	4KB	0x4000_B000	0x4000_BFFF	0x4000_B000	0x4000_BFFF
SRPWM_COM	4KB	0x4000_C000	0x4000_CFFF	0x4000_C000	0x4000_CFFF

Device Module	Size	M7_MAP		DMA	
		Start Address	End Address	Start Address	End Address
XBAR	4KB	0x4000_D000	0x4000_DFFF	0x4000_D000	0x4000_DFFF
AES	4KB	0x4000_E000	0x4000_EFFF	0x4000_E000	0x4000_EFFF
SRPWM_BC	4KB	0x4000_F000	0x4000_FFFF	0x4000_F000	0x4000_FFFF
ETIMER	4KB	0x4001_C000	0x4001_CFFF	0x4001_C000	0x4001_CFFF
DAC0	4KB	0x4010_0000	0x4010_0FFF	0x4010_0000	0x4010_0FFF
DAC1	4KB	0x4010_1000	0x4010_1FFF	0x4010_1000	0x4010_1FFF
CRC	4KB	0x4010_2000	0x4010_2FFF	0x4010_2000	0x4010_2FFF
Dual-ACMP0	4KB	0x4010_4000	0x4010_4FFF	0x4010_4000	0x4010_4FFF
Dual-ACMP1	4KB	0x4010_5000	0x4010_5FFF	0x4010_5000	0x4010_5FFF
Dual-ACMP2	4KB	0x4010_6000	0x4010_6FFF	0x4010_6000	0x4010_6FFF
Dual-ACMP3	4KB	0x4010_7000	0x4010_7FFF	0x4010_7000	0x4010_7FFF
QEP0	4KB	0x4010_8000	0x4010_8FFF	0x4010_8000	0x4010_8FFF
QEP1	4KB	0x4010_9000	0x4010_9FFF	0x4010_9000	0x4010_9FFF
SDFM0	4KB	0x4010_A000	0x4010_AFFF	0x4010_A000	0x4010_AFFF
SDFM1	4KB	0x4010_B000	0x4010_BFFF	0x4010_B000	0x4010_BFFF
SARC0	4KB	0x4010_C000	0x4010_CFFF	0x4010_C000	0x4010_CFFF
SARC1	4KB	0x4010_D000	0x4010_DFFF	0x4010_D000	0x4010_DFFF
SARC2	4KB	0x4010_E000	0x4010_EFFF	0x4010_E000	0x4010_EFFF
CORDIC	4KB	0x4010_F000	0x4010_FFFF	0x4010_F000	0x4010_FFFF
AHB_DMA0	4KB	0x4020_1000	0x4020_1FFF	0x4020_1000	0x4020_1FFF
AHB_DMA1	4KB	0x4020_2000	0x4020_2FFF	0x4020_2000	0x4020_2FFF
GPIOA	4KB	0x4020_6000	0x4020_6FFF	0x4020_6000	0x4020_6FFF
GPIOB	4KB	0x4020_7000	0x4020_7FFF	0x4020_7000	0x4020_7FFF

Device Module	Size	M7_MAP		DMA	
		Start Address	End Address	Start Address	End Address
GPIOC	4KB	0x4020_8000	0x4020_8FFF	0x4020_8000	0x4020_8FFF
GPIOD	4KB	0x4020_9000	0x4020_9FFF	0x4020_9000	0x4020_9FFF
GPIOE	4KB	0x4020_A000	0x4020_AFFF	0x4020_A000	0x4020_AFFF
GPIOF	4KB	0x4020_B000	0x4020_BFFF	0x4020_B000	0x4020_BFFF
FMAC	4KB	0x4020_C000	0x4020_CFFF	0x4020_C000	0x4020_CFFF
SYSC	4KB	0x4040_0000	0x4040_0FFF	0x4040_0000	0x4040_0FFF
WDT0	4KB	0x4040_2000	0x4040_2FFF	0x4040_2000	0x4040_2FFF
WDT1	4KB	0x4040_3000	0x4040_3FFF	0x4040_3000	0x4040_3FFF
STIMER64_0	4KB	0x4040_6000	0x4040_6FFF	0x4040_6000	0x4040_6FFF
STIMER64_1	4KB	0x4040_7000	0x4040_7FFF	0x4040_7000	0x4040_7FFF
CRG	4KB	0x4040_C000	0x4040_CFFF	0x4040_C000	0x4040_CFFF
SYSCNT_RO	4KB	0x4040_D000	0x4040_DFFF	0x4040_D000	0x4040_DFFF
SYSCNT_CTRL	4KB	0x4040_E000	0x4040_EFFF	0x4040_E000	0x4040_EFFF
IOC	4KB	0x4040_F000	0x4040_FFFF	0x4040_F000	0x4040_FFFF
UART0	4KB	0x4050_0000	0x4050_0FFF	0x4050_0000	0x4050_0FFF
UART1	4KB	0x4050_1000	0x4050_1FFF	0x4050_1000	0x4050_1FFF
I2C0	4KB	0x4050_4000	0x4050_4FFF	0x4050_4000	0x4050_4FFF
I2C1	4KB	0x4050_5000	0x4050_5FFF	0x4050_5000	0x4050_5FFF
SPI_Master0	4KB	0x4050_8000	0x4050_8FFF	0x4050_8000	0x4050_8FFF
SPI_Master1	4KB	0x4050_9000	0x4050_9FFF	0x4050_9000	0x4050_9FFF
SPI_Master2	4KB	0x4050_A000	0x4050_AFFF	0x4050_A000	0x4050_AFFF
SPI_Slave0	4KB	0x4050_C000	0x4050_CFFF	0x4050_C000	0x4050_CFFF
CAN FD0	12KB	0x4051_8000	0x4051_AFFF	0x4051_8000	0x4051_AFFF

Device Module	Size	M7_MAP		DMA	
		Start Address	End Address	Start Address	End Address
CAN FD1	12KB	0x4052_0000	0x4052_2FFF	0x4052_0000	0x4052_2FFF
CPU_CFG	4KB	0x4060_0000	0x4060_0FFF	0x4060_0000	0x4060_0FFF
EFC0_CFG	4KB	0x4060_2000	0x4060_2FFF	0x4060_2000	0x4060_2FFF
EFC1_CFG	4KB	0x4060_3000	0x4060_3FFF	0x4060_3000	0x4060_3FFF
EFC2_CFG	4KB	0x4060_4000	0x4060_4FFF	0x4060_4000	0x4060_4FFF
SRAM0_CFG	4KB	0x4060_8000	0x4060_8FFF	0x4060_8000	0x4060_8FFF
SRAM1_CFG	4KB	0x4060_9000	0x4060_9FFF	0x4060_9000	0x4060_9FFF
M7_0_Private_PERI	64KB	0xE000_0000	0xE000_FFFF	N/A	N/A

 说明

N/A 表示对应的 Master 无法访问该 Slave 地址空间。

6.4 总线架构-外设互连

如图 6-1 所示，在 ET6002 中，通过 AXI/AHB/APB 总线，实现总线主设备与总线从设备之间的互连访问。

表 6-2 列出了每个总线主设备对片内存储、外设和配置寄存器等总线上从设备的可访问性。

表 6-2 总线主设备对从设备的访问

外设	CPU	DMA ⁽¹⁾
ITCM_CPU	Y	Y
DTCM_CPU	Y	Y
SRAM0	Y	Y
SRAM1	Y	Y
BootROM	N ⁽²⁾	N ⁽²⁾
PFLASH0	Y	Y
PFLASH1	Y	Y
DFLASH	Y	Y
AHB DMA0 配置	Y	Y
AHB DMA1 配置	Y	Y
GPIOA	Y	Y
GPIOB	Y	Y
GPIOC	Y	Y
GPIOD	Y	Y
GPIOE	Y	Y
GPIOF	Y	Y
FMAC	Y	Y
SRPWM1	Y	Y
SRPWM2	Y	Y
SRPWM3	Y	Y
SRPWM4	Y	Y
SRPWM5	Y	Y
SRPWM6	Y	Y
SRPWM7	Y	Y
SRPWM8	Y	Y
SRPWM9	Y	Y
SRPWM10	Y	Y
SRPWM11	Y	Y
ETIMER	Y	Y
AES	Y	Y
Input XBAR	Y	Y
SRPWM XBAR	Y	Y
ETIMER XBAR	Y	Y

外设	CPU	DMA ⁽¹⁾
Output XBAR	Y	Y
SAR-ADC0 配置	Y	Y
SAR-ADC1 配置	Y	Y
SAR-ADC2 配置	Y	Y
DAC0 配置	Y	Y
DAC1 配置	Y	Y
Dual-ACMP0~3 配置	Y	Y
CORDIC	Y	Y
CRC	Y	Y
QEP0	Y	Y
QEP1	Y	Y
SDFM0-3	Y	Y
SDFM4-7	Y	Y
IOC	Y	Y
SYSC	Y	Y
CRG	Y	Y
SYSCNT	Y	Y
WDG0	Y	Y
WDG1	Y	Y
STIMER0	Y	Y
STIMER1	Y	Y
CPU 配置	Y	Y
EFC0_CFG (PFLASH0 控制器)	Y	Y
EFC1_CFG (PFLASH1 控制器)	Y	Y
EFC2_CFG (DFLASH 控制器)	Y	Y
CORESC_CFG (处理器子系统配置)	Y	Y
SRAM0 配置	Y	Y
SRAM1 配置	Y	Y
CAN FD0	Y	Y
CAN FD1	Y	Y
SPI_Master0	Y	Y
SPI_Master1	Y	Y
SPI_Master2	Y	Y
SPI_Slave	Y	Y
UART0	Y	Y
UART1	Y	Y
I2C0	Y	Y
I2C1	Y	Y



说明

(1) DMA 同时代表 AHB DMA0、AHB DMA1。

- (2) CPU 和 DMA 可否访问 BootROM 由 SYSC 寄存器控制。在 BootROM 代码执行完成前, 如 CPU 检测到 SWD 信号, 将 BootROM 代码挂起, 此时 SYSC 寄存器未被配置, CPU 和 DMA 可对 BootROM 访问。当 BootROM 启动完成后, SYSC 寄存器被设置为禁止 CPU 和 DMA 对 BootROM 访问。

6.5 Cortex-M7 处理器

ET6002 内置 1 个 Cortex-M7 处理器, 最高主频 300 MHz。CPU 在芯片上电后或者芯片系统解复位时, 当硬件完成初始化后, CPU 默认处于解复位状态。

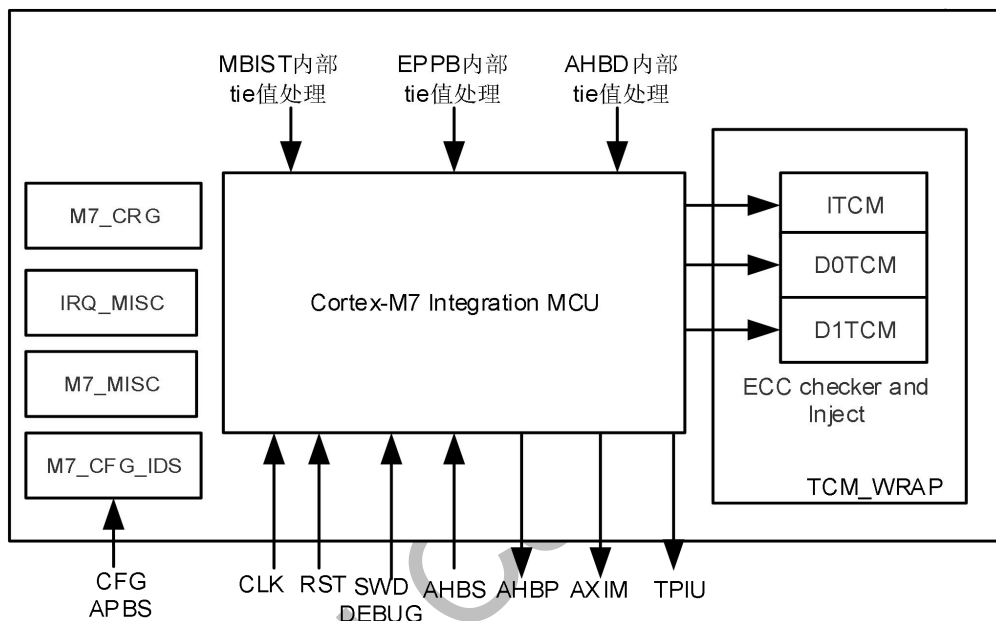


图 6-2 CPU 子系统架构图

Cortex-M7 处理器的配置特性如下：

- 支持独立的 SWD 调试接口, 支持 8 个断点设置, 支持基于 ETM 宏单元的指令和数据跟踪;
- 支持 64-bit AXI 系统总线 Master 接口;
- 支持 32-bit AHB 外设总线 Master 接口;
- 支持 32-bit AHB 总线访问 TCM 的 Slave 接口;
- 支持 64-bit 指令紧耦合存储器接口 (ITCM), 内置 32 KB ITCM, 支持 SECDED (单 bit 纠错, 两 bit 检错) 的 ECC 保护机制;
- 支持 2 个 32-bit 数据紧耦合存储器接口 (DTCM), 内置 32 KB DTCM, 支持 SECDED (单 bit 纠错, 两 bit 检错) 的 ECC 保护机制;
- 支持外部指令和数据访问加速缓存 Cache 接口, 内置 8KB ICACHE 和 4 KB DCACHE, 支持 SECDED (单 bit 纠错, 两 bit 检错) 的 ECC 保护机制;
- 内置内存保护单元 (MPU), 支持多达 16 个 Region 的保护, 用于 Cortex-M7 CPU 访问存储资源时的保护;

- 支持乘加 MAC 的 DSP 扩展指令；
- 支持单/双精度的浮点处理器；
- 支持 160 个外部中断输入，中断优先级 8-256 级可配置；
- 支持低功耗唤醒机制，支持 NVIC 中断或者 WIC 中断唤醒；

6.6 直接存储器访问 (DMA)

ET6002 内部包含 2 个 AHB DMA (挂载在 AHB 外设总线矩阵上)。

AHB DMA 特性如下：

- 内部含有 8 个逻辑通道，每个通道支持优先级独立配置；
- Channel1~2 的 FIFO 深度为 64 bytes，Channel3~8 的 FIFO 深度为 16 bytes；
- DMA 包含 8 组 DMA 硬件握手信号，同时包含 Single 和 Burst 传输事务信号；
- 支持如下 4 种模式的多块 (Multi-block) 传输：
 - Auto-reloading
 - No change in the address
 - Contiguous
 - Linked list
- 支持从内存到内存，内存到外设，外设到内存，外设到外设的数据搬运；

AHB DMA 内部框图如下：

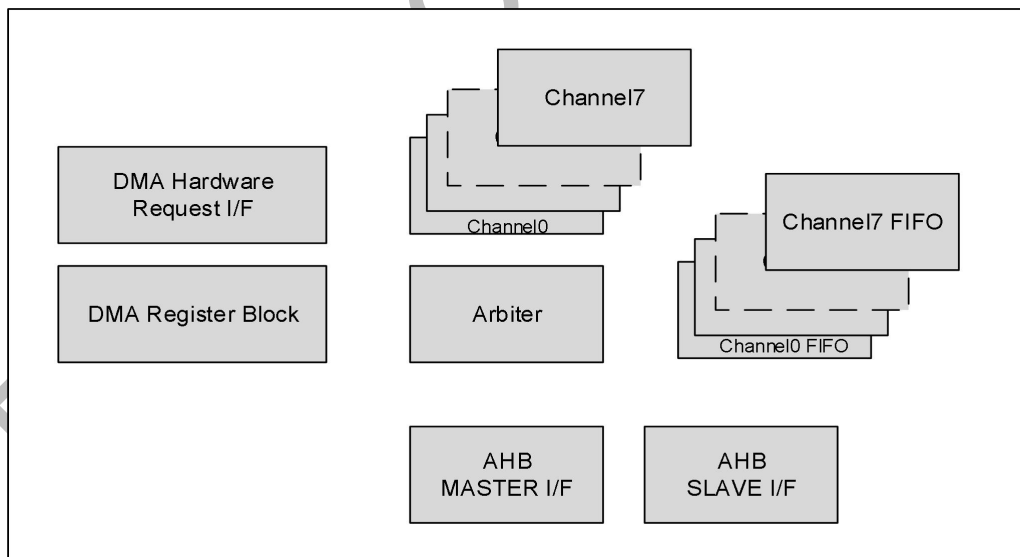


图 6-3 AHB DMA 内部框图

6.7 芯片启动模式

ET6002 内部固化了一个 BootROM 程序，在设备每次上电时通过设置管脚 **GPIO24** 和 Flash 选项字 **nSWBOOT1**，**nBOOT1** 的不同组合来选择不同的启动模式。

ET6002 支持的启动模式如表 6-3 所示。

表 6-3 ET6002 启动模式

GPIO24	nBOOT1	nSWBOOT1	启动模式
1	x	1	正常启动 (从内置 Flash 启动)
1	0	0	安全启动 (从内置 Flash 启动)
1	1	0	从内置 SRAM 启动 ^[1]
0	x	1	ROM 自举启动
0	x	0	

在芯片 POR 复位或 hardrest 复位后，在 SYSCLK 的第 16 个上升沿，**BOOT_MODE** 引脚值会被锁存^[1]。在系统复位后，选项字 **nBOOT1**，**nSWBOOT1** 的值会被锁存。在锁定前，需要确保这些引脚或值处于稳定状态。稳定锁存后，系统引导进入选择的启动模式。

芯片进入 ROM 自举启动模式后，程序下载通信外设默认为 UART0 和 CAN0。

UART0，CAN0 接口所使用的管脚可通过选项字 **BOOTDEF** 进行配置，如下表所示，出厂默认都使用第 0 组。

表 6-4 ET6002 自举管脚定义

BOOTDEF (MSB)	CANFD0_RX	CANFD0_TX	BOOTDEF (LSB)	UART0_RX	UART0_TX
0 (default)	GPIO4 (mode4)	GPIO8 (mode4)	0 (default)	GPIO3 (mode9)	GPIO2 (mode9)
1	GPIO49 (mode3)	GPIO32 (mode10)	1	GPIO50 (mode4)	GPIO24 (mode11)
2	GPIO77 (mode5)	GPIO48 (mode3)	2	GPIO28 (mode1)	GPIO48 (mode1)
3	GPIO53 (mode10)	GPIO76 (mode5)	3	GPIO49 (mode6)	GPIO51 (mode4)
4	GPIO3 (mode14)	GPIO4 (mode6)	4	GPIO9 (mode6)	GPIO2 (mode9)
5	GPIO5 (mode6)	GPIO2 (mode14)	5	GPIO17 (mode6)	GPIO29 (mode1)
6	GPIO61 (mode14)	GPIO31 (mode1)	6	GPIO25 (mode11)	GPIO16 (mode6)
7	GPIO59 (mode10)	GPIO13 (mode13)	7	GPIO35 (mode1)	GPIO37 (mode5)

BootROM 程序运行后会尝试将系统时钟从内部 OSC25M 时钟切换到 PLL 时钟 (PLL 时钟参考源为外部有源或无源晶振)。若切换失败，系统将仍然工作在内部 OSC25M 时钟。用户程序运行后可通过 CRG 模块 API 接口获取当前系统时钟速率。

有关芯片启动模式的详细信息，请参见《ET6002_用户手册》章节 8 "启动引导配置"。

 说明

- [1] 在上电锁存的过程中，应始终保持 GPIO32 为高电平。
- [2] SRAM 启动只有在选项字 **SECURELEVEL** 设定为 0 时可用。

6.8 看门狗 (Watchdog)

ET6002 内部包含两个看门狗 (Watchdog0, Watchdog1)，支持特性如下：

- Watchdog0/1 输入计数时钟：启动时是基于内置 25 MHz 时钟进行计数，后续可由软件修改为基于 100 MHz 时钟，支持 CRG 给的 clk_en 计数使能，可配置为 1-7 分频。
- Watchdog0/1 如果发生软件喂狗超时，可以触发系统复位操作。
- Watchdog0/1 内部计数位宽为 32bit，计数器预设值默认为最大，只有一组值可通过软件配置。
- 每个 Watchdog 都支持根据 CPU 是否进入仿真器调试状态进行暂停计数。
- Watchdog0/1 超时可触发 NMI 中断。
- 支持窗口看门狗模式，只允许在特定时间窗进行喂狗；

Watchdog 框图如下：

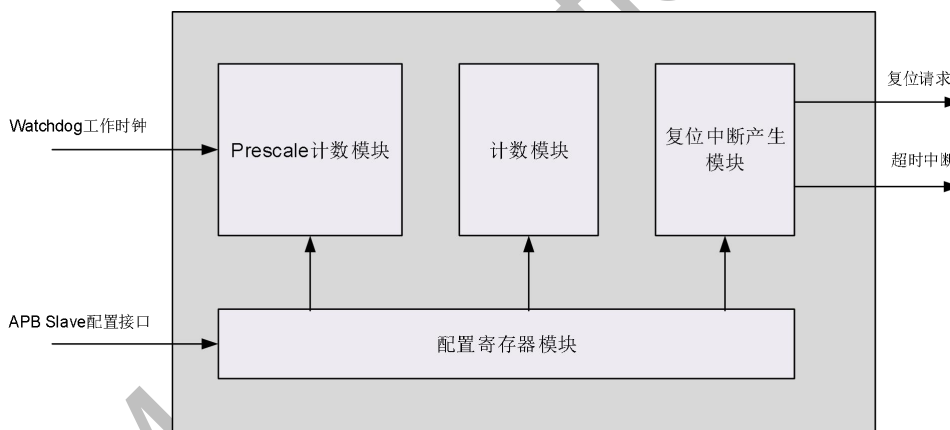


图 6-4 Watchdog 框图

6.9 加解密模块 (AES)

ET6002 内置 AES 硬件加速器，支持特性如下：

- 支持 128, 256 bit 密钥长度
- 支持 ECB、CBC、CTR 加解密模式
- 支持 CBC 模式下 128bit 初始向量，CTR 模式下 96bit 初始向量和 32bit 初始计数器值配置
- 支持 Zeros, PKCS#7 数据填充
- 支持轮询、中断、DMA 方式完成数据的传入和传出
- 支持硬件使能控制 AES 工作状态

- 内置轮密钥调度器，动态生成下一轮轮密钥

AES 交互模块主要包含以下功能单元 (参考图 6-5):

- 系统控制单元 (SYSC);
- DMA 请求信号选择处理单元 (DMA_MUX);
- 中断控制器单元 (INTC);

AES 框图如下:

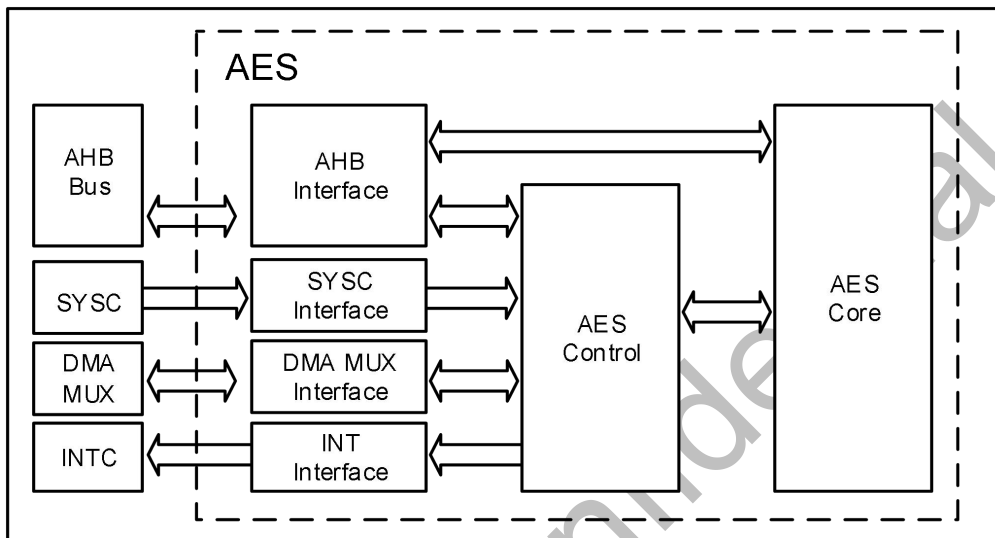


图 6-5 AES 框图

6.10 循环冗余校验模块 (CRC)

CRC 模块用于 CRC 的计算与控制。CRC (Cyclic Redundancy Check) 循环冗余校验，主要用来检测或校验数据传输错误或者存储完整性，在数字电路中根据循环移位和异或完成。

本模块支持的 CRC 多项式类型有 Ethernet CRC32、CRC32P4、CCITT CRC16、SAE J1850 CRC8。CRC 采用单通道串行计算，多项式可软件配置，支持字节交换，输入数据字节内反转；支持输出数据反转，异或；支持数据校验，支持中断上报等功能。

6.11 坐标旋转数字计算模块 (CORDIC)

坐标旋转数字计算模块 CORDIC (Coordinate Rotation Digital Computer) 提供了在电机控制、计量、信号处理和许多其他应用中经常使用的特定数学函数 (三角函数/双曲函数) 的硬件加速。

与软件实现相比，CORDIC 加速了这些函数的计算，使得可以使用更低的操作频率，或者释放处理器周期以执行其他任务。

CORDIC 规格:

- 支持 24bit 的 CORDIC 旋转引擎;
- 支持圆坐标系和双曲坐标系模式;
- 支持旋转和向量模式;

- 支持以下函数：正弦、余弦、双曲正弦、双曲余弦、反正切 (atan/atan2)、反双曲正切、模值、平方根、自然对数；
- 支持可配置迭代精度；
- 支持快速收敛：每个时钟周期迭代 4 次；
- 支持 16 位和 32 位定点输入和输出格式；
- 支持零延迟模式，结果可以在准备好后立即读取，无需轮询或中断；
- 支持 DMA 读写；

CORDIC 内部框图如下：

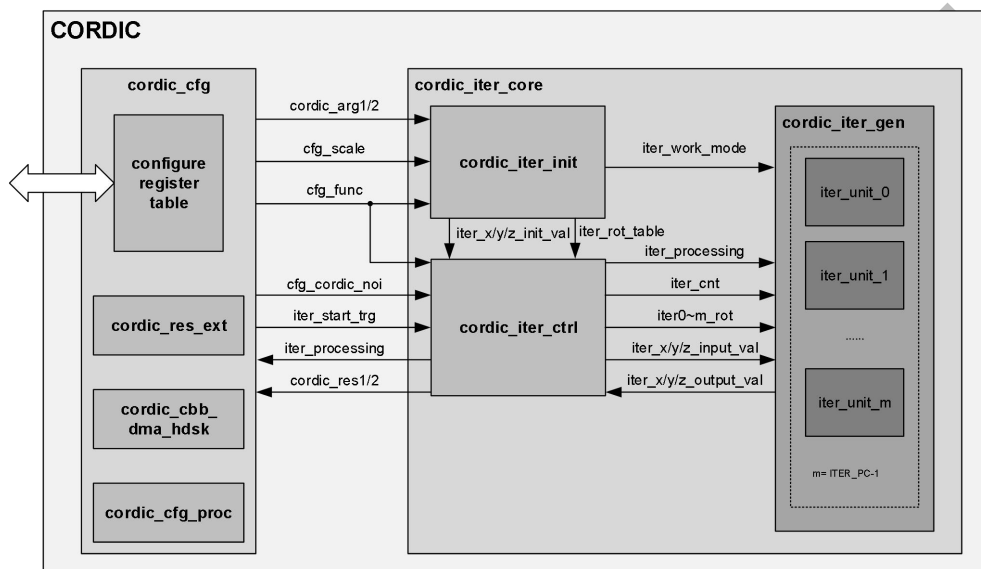


图 6-6 CORDIC 内部框图

6.12 滤波器数学加速器 (FMAC)

FMAC 对向量执行算术运算。它包括一个乘法/累加 (MAC) 单元，以及地址生成逻辑，这使得它可以索引保存在本地内存中的向量元素。

该单元支持输入输出环形缓冲器，以实现数字滤波器。可实现 FIR 滤波器，IIR 滤波器，相关运算和向量的点积运算。

FMAC 可以从 CPU 中释放与滤波器有关的运算，让 CPU 去执行其他任务。在许多情况下，与软件实现相比，它可以加速此类计算，从而加快时间关键任务的速度。

图 6-7 展示了 FMAC 模块框图。

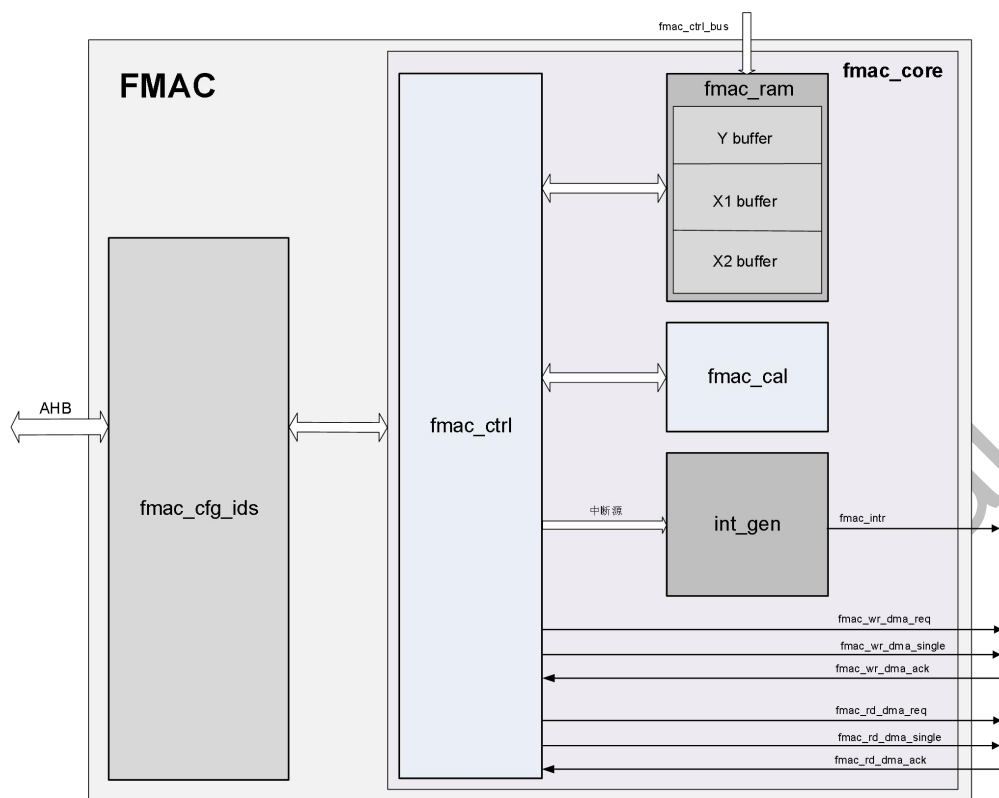


图 6-7 FMAC 模块框图

FMAC 特性:

- 16 位输入输出数据
- 256×16 位本地内存
- 最多可以在内存中定义三个区域用于数据缓存 (两个输入, 一个输出), 由可编程的基地址指针和相关的大小寄存器定义
- 输入和输出采样缓冲区为环形 Buffer
- 可编程输入输出 Buffer “水线” 以减少中断开销
- 滤波器功能: FIR、IIR (直接 1 型)
- 支持 DMA 读写通道

7

设备和文档支持

7.1 设备命名规则

ETMCU 为所有 MCU 设备制定了命名规则：包含产品名，封装类型，Pin 脚数量，温度范围，规格版本。如下是 ET6002 系列产品的命名规则。

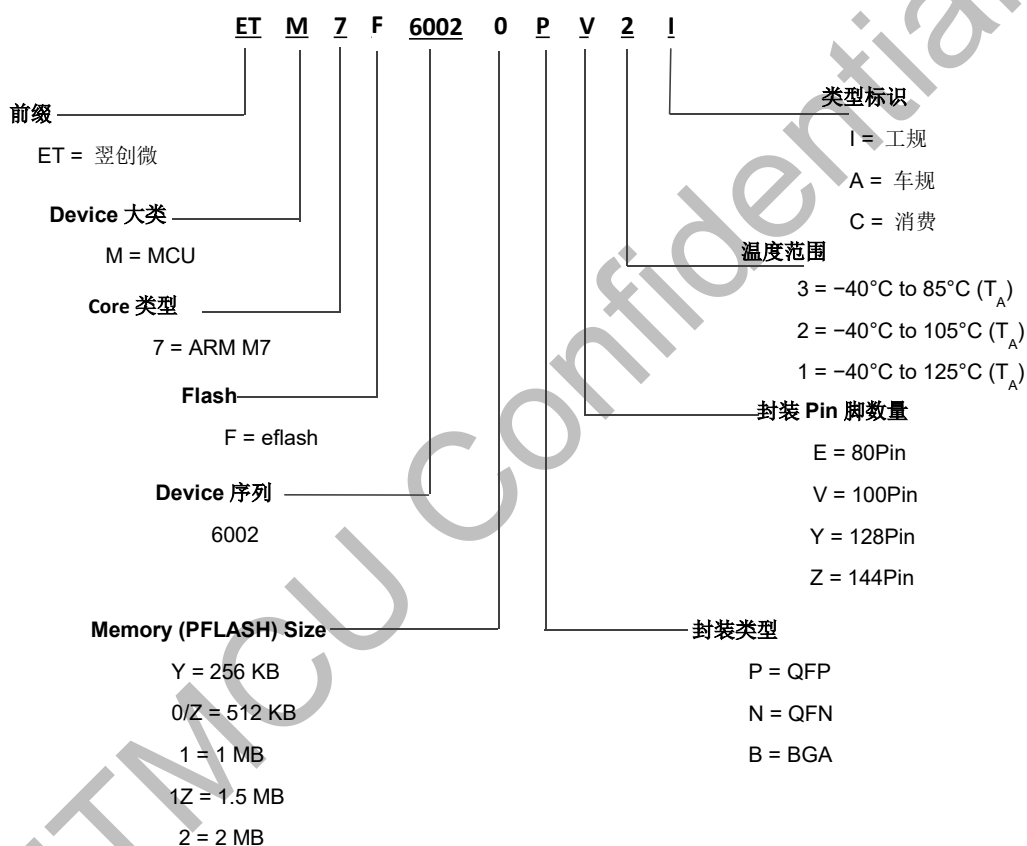
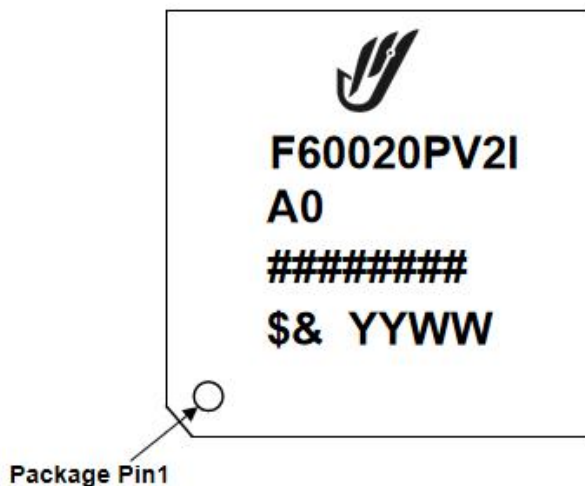


图 7-1 设备命名规则

7.2 设备外观标识

图 7-2 提供了 ET6002 设备标识的示例，并定义了每个标记。设备封装顶部的标记符号代表设备版本型号信息，如图 7-2 所示。(注意，一些原型设备的标识可能与图示标识有所不同。)



F60020PV2I = Device Name (包含封装类型/Pin数量/温度范围/类型标识)
A0 = Wafer及封装版本
= 封装批次
\$ = Fab code
& = 封装厂code
YY = Year (2位)
WW = Week (2位)

图 7-2 100-pin 封装的设备外观标识示例

7.3 工具和软件

在软件开发生态上，ET6002 支持 Keil 等集成开发环境，提供 EVB 开发板和支持在线调试工具 CMSIS-DAP 或 J-Link，提供标准外设库及程序烧写工具。若要获取 SDK 软件包和工具软件等，可通过官网下载。

- 标准外设库覆盖了外围组件的 Low Level 驱动程序，包含 Keil 等 IDE 工程模板，用户参考软件示例，固件库使用指南等^[1]。
- 程序烧写工具速度快，支持在线串口和 CAN 接口烧录，包含固件烧写，选项字设定，安全启动设置等功能。
- EVB 板和示例代码可快速对硬件功能进行评估和测试。

说明

- [1] 因为该固件库是通用的，并且包括了所有外设的功能，所以应用程序代码的大小和执行速度可能不是最优的。对大多数应用程序来说，用户可以直接使用，对于那些在代码大小和执行速度方面有严格要求的应用程序，该固件库可以作为如何设置外设的一份参考资料，可以根据实际需求对其进行调整。

7.4 文档支持

《ET6002-用户手册》：详述了 ET6002 中每个外设和子系统的集成、环境、功能说明等。

8

封装和可订购信息

8.1 芯片封装信息

设备	封装类型	引脚数	环境要求	引脚表面	MSL 峰值温度	工作环境温度 (°C)
ETM7F60020PE2I	LQFP80	80	RoHS	Sn	Level 3 260°C-168 HR	-40 to 105°C
ETM7F60020PV2I	LQFP100	100	RoHS	Sn	Level 3 260°C-168 HR	-40 to 105°C
ETM7F60020PY2I	LQFP128	128	RoHS	Sn	Level 3 260°C-168 HR	-40 to 105°C
ETM7F60020PZ2I	LQFP144	144	RoHS	Sn	Level 3 260°C-168 HR	-40 to 105°C

ETM7F60020PE2I 芯片封装外形图如下:

- 封装: LQFP80
- 尺寸: 12 mm*12 mm
- 管脚间距: 0.5 mm

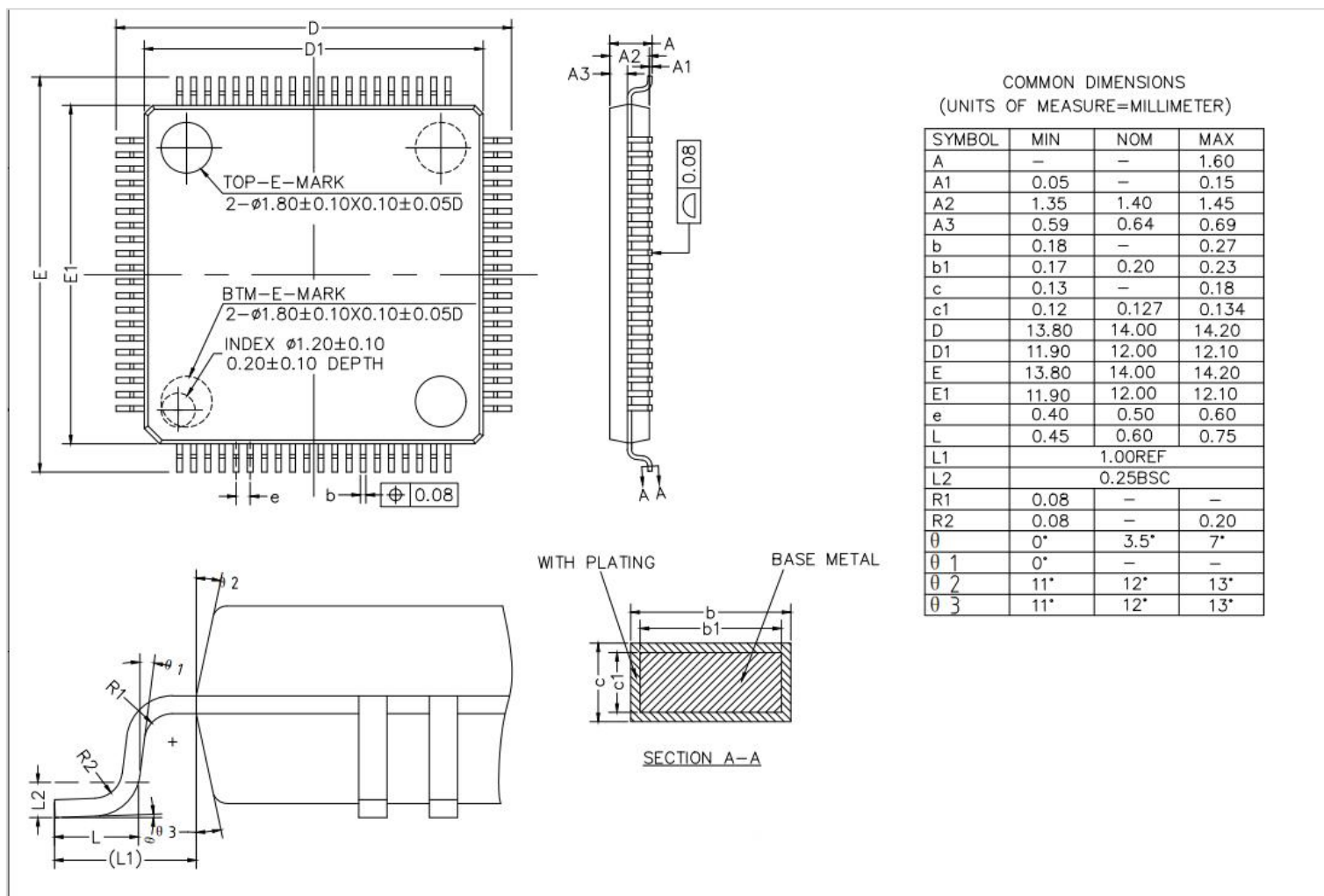


表 8-1 ETM7F60020PE2I 芯片封装外形图

ETM7F60020PV2I 芯片封装外形图如下：

- 封装：LQFP100
- 尺寸：14 mm*14 mm
- 管脚间距：0.5 mm

ETMCU Confidential

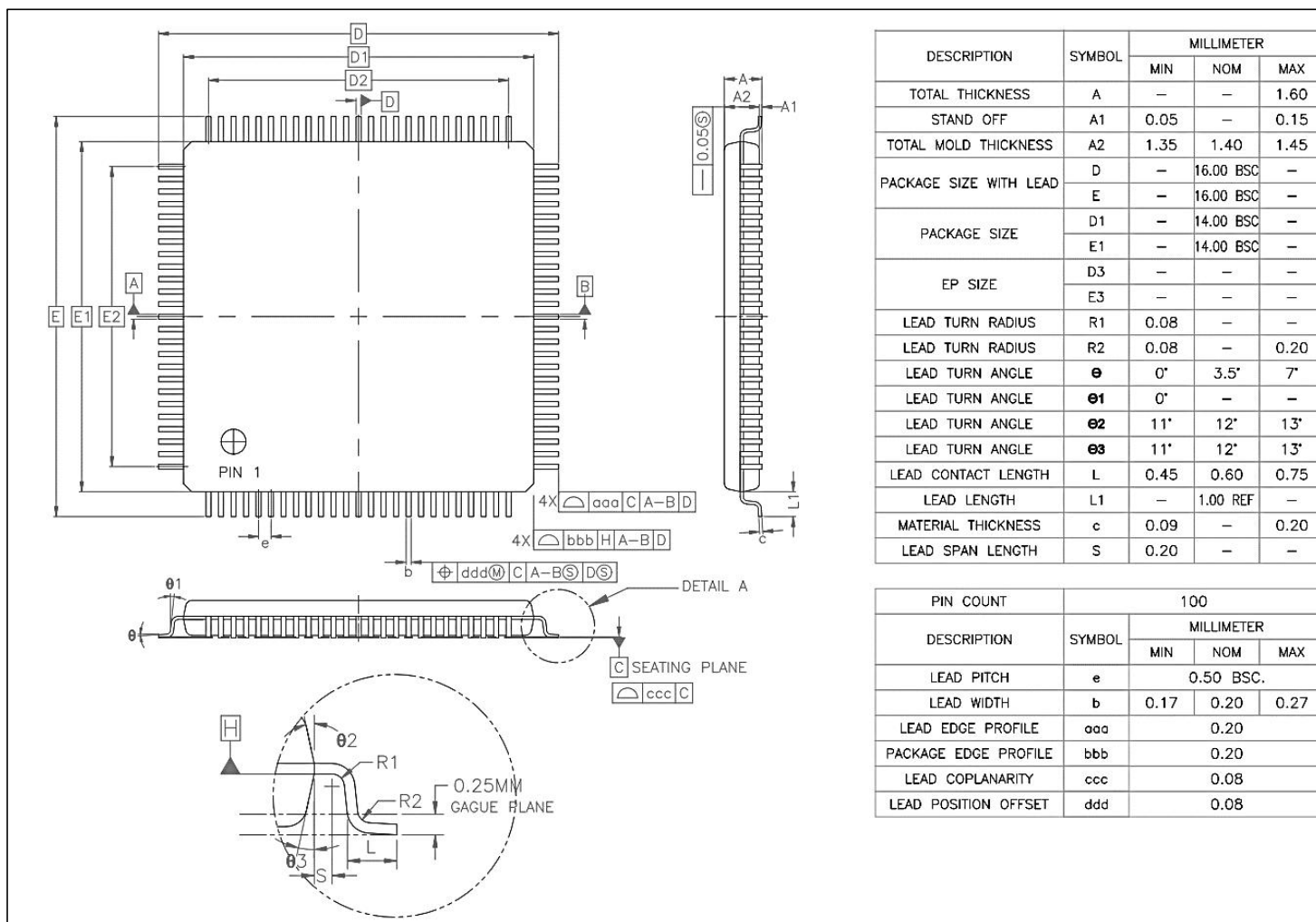


图 8-2 ETM7F60020PV2I 芯片封装外形图

ETM7F60020PY2I 芯片封装外形图如下：

- 封装：LQFP128
- 尺寸：14 mm*14 mm
- 管脚间距：0.4 mm

ETMCU Confidential

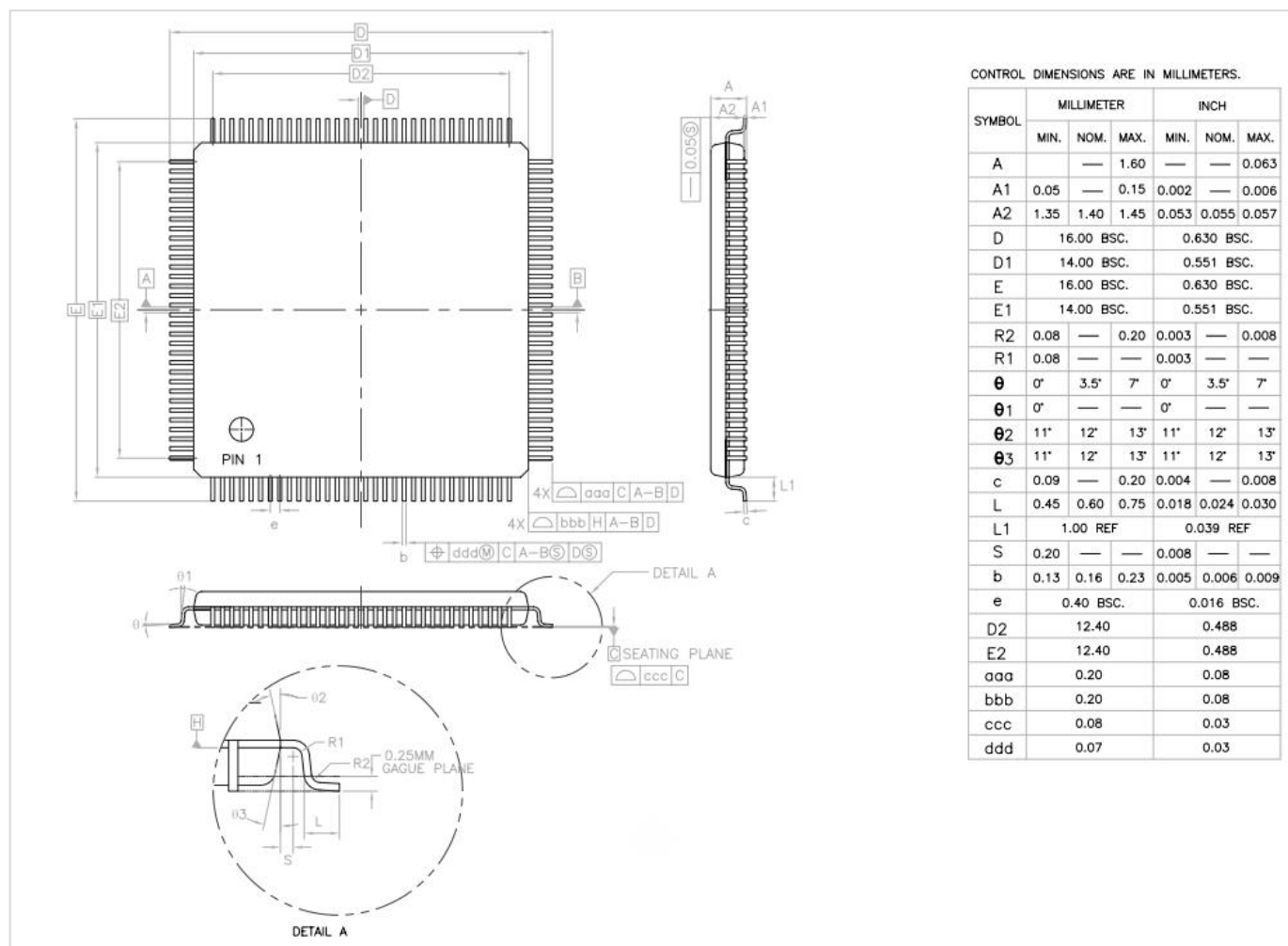


图 8-3 ETM7F60020PY2I 芯片封装外形图

ETM7F60020PZ2I 芯片封装外形图如下:

- 封装: LQFP144
- 尺寸: 20 mm*20 mm
- 管脚间距: 0.5 mm

ETMCU Confidential

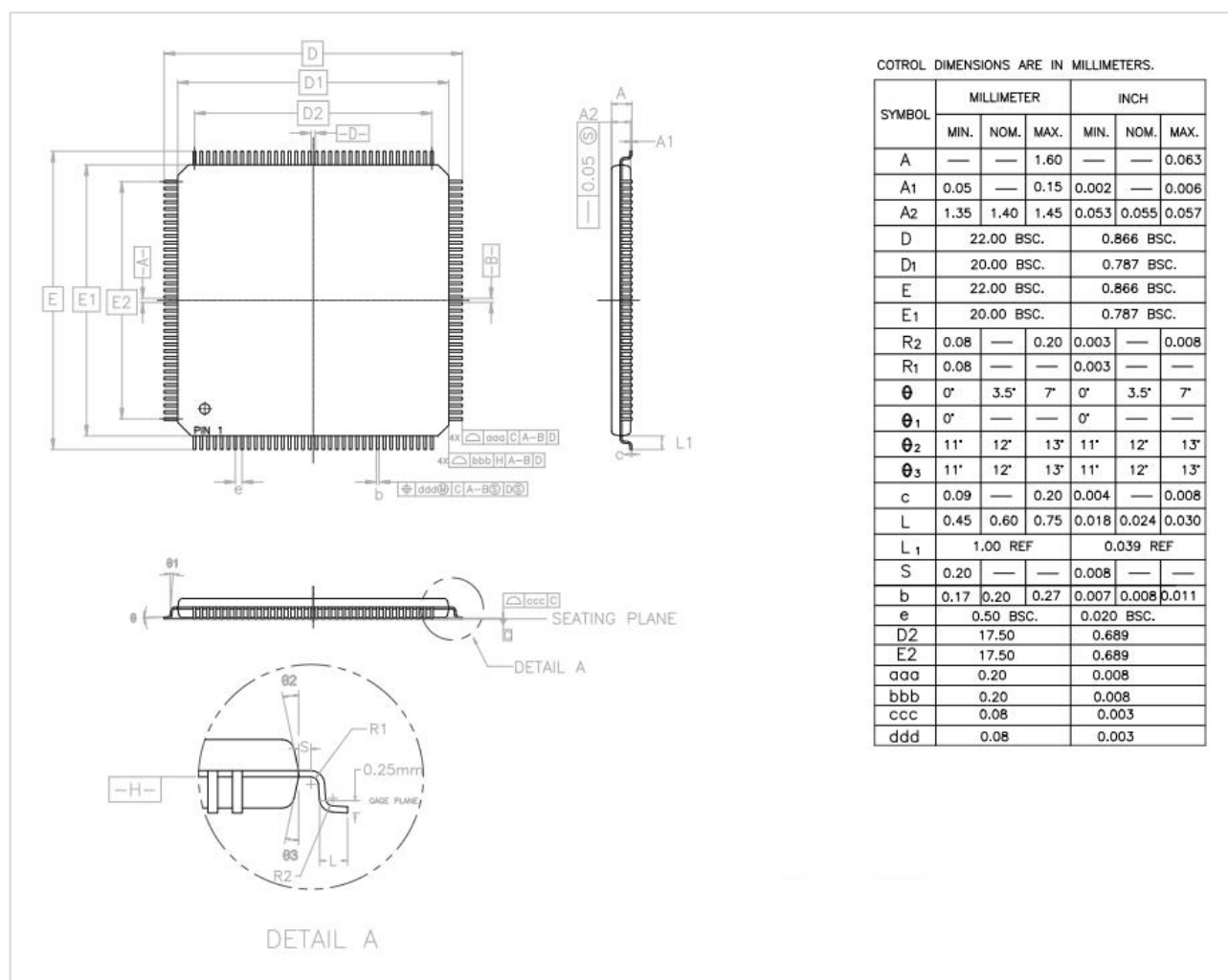
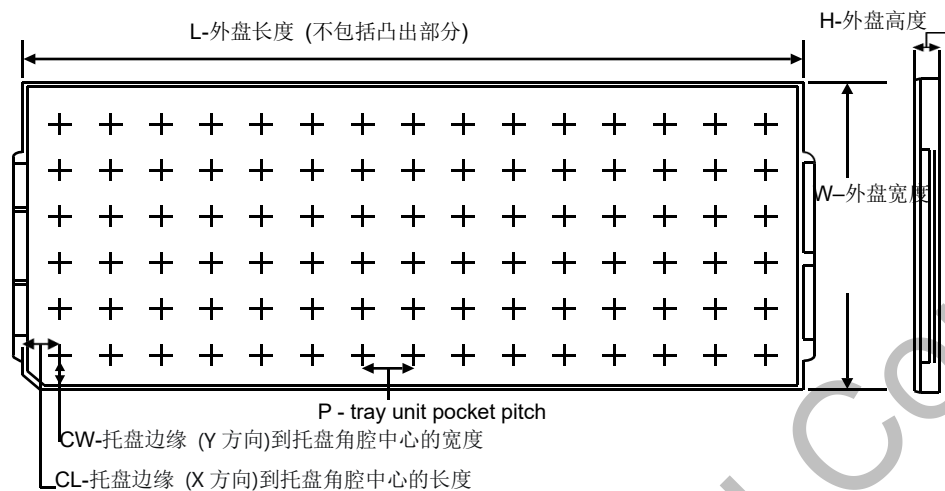


图 8-4 ETM7F60020PZ2I 芯片封装外形图

8.2 芯片包装信息

托盘



Tray 盘上的倒角表示包装单元的 Pin1 方向。

*所有尺寸均为标称尺寸。

设备	封装类型	Pin	QTY	Unit Array Matrix	最高温(°C)	L (mm)	W (mm)	H (μm)	P (mm)	CL (mm)	CW (mm)
ETM7F60020PE2I	LQFP	80	119	7×17	150	315	135.9	7620			
ETM7F60020PV2I	LQFP	100	90	6×15	150	315	135.9	7620	20.3	15.4	15.45
ETM7F60020PY2I	LQFP	128	90	6×15	150	315	135.9	7620			
ETM7F60020PZ2I	LQFP	144	60	5×12	150	315	135.9	7620			

术语

本文档所涉及的术语如下：

术语	英文全称	中文解释
ADC	Analog-to-Digital Converter	模数转换器
ACMP	Analog Comparator	模拟比较器
DAC	Digital-to-analog Converter	数模转换器
ETIMER	Enhanced Timer	增强型计时器
ECC	Error Correcting Code	误差校正码
LQFP	Low-profile Quad Flat Package	四方扁平式封装技术
MPU	Memory Protection Unit	内存保护单元
GPIO	General-Purpose Input/Output	通用输入/输出
STIMER	Super Timer	超级定时器
SRPWM	Super Resolution PWM	超高精度脉宽调制模块
SECCDED	Single Error Correction and Double Error Detection	单 bit 纠错和双 bit 检错
TCM	Tightly Coupled Memory	紧耦合内存
WFI	Wait for Interrupt	等待中断指令
WFE	Wait for Event	等待事件指令

修订记录

修订记录累积了本文档每次修订的具体信息。

序号	版本	修改日期	修改说明
1	1.0.0	2024/09/06	初始发布
2	1.0.1	2024/12/24	调整 ADC 后处理滤波相关描述